

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Chikaaki KODAMA, et al.

Application No.: TBA

Group Art Unit: TBA

Filed: January 8, 2004

Examiner: TBA

For: WIRING DIAGRAM VERIFYING METHOD, PROGRAM AND APPARATUS

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicants submit herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2003-003906

Filed: January 10, 2003

It is respectfully requested that the applicants be given the benefit of the foreign filing date as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: 1-8-04

By: 

John C. Garvey
Registration No. 28,607

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

PATENT OFFICE JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with the Office.

Date of Application : January 10, 2003
Application Number : Patent Application No. Heisei 2003-003906
Applicant (s) : FUJITSU LIMITED

September 24, 2003

Commissoner,
Japan Patent Office

Imai Yasuo

Certificate No. Toku 2003-3078295

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月10日
Date of Application:

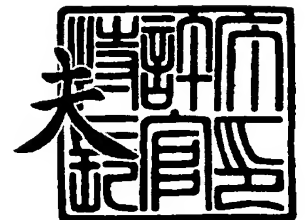
出願番号 特願2003-003906
Application Number:
[ST. 10/C]: [JP 2003-003906]

出願人 富士通株式会社
Applicant(s):

2003年 9月24日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3078295

【書類名】 特許願

【整理番号】 0253468

【提出日】 平成15年 1月10日

【あて先】 特許庁長官殿

【発明の名称】 配線図形検証方法、プログラム及び装置

【請求項の数】 9

【国際特許分類】 G06F 15/60

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 児玉 親亮

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 吉竹 昭博

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100079359

 【弁理士】

 【氏名又は名称】 竹内 進

【手数料の表示】

 【予納台帳番号】 009287

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9704823

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線図形検証方法、プログラム及び装置

【特許請求の範囲】

【請求項 1】

半導体集積回路設計のレイアウトデータから作成される斜め配線と斜め配線上に配置されるビアセルを含む配線マスク用の図形データを検証するコンピュータ支援による配線図形検証方法に於いて、

レイヤ定義部により、半導体集積回路設計のレイアウトデータに含まれる斜め配線図形とビアセル図形に対し各々異なったレイヤ番号を定義するレイヤ定義ステップと、

第 1 図形融合部により、前記レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に図形を融合する第 1 図形融合ステップと、

斜め配線検証部により、前記第 1 図形融合ステップで融合された斜め配線図形を検証する斜め配線検証ステップと、

第 2 図形融合部により、前記第 1 図形融合ステップで融合された前記斜め配線図形と前記ビアセル図形を融合して斜め配線マスク図形を作成する第 2 図形融合ステップと、

融合図形検証部により、前記第 2 図形融合ステップで融合された斜め配線マスク図形を検証する融合図形検証ステップと、
を備えたことを特徴とする配線図形検証方法。

【請求項 2】

請求項 1 記載の配線図形検証方法に於いて、

前記第 1 図形融合ステップは、斜め配線図形同士を取込んで融合すると共に、ビア図形とその周囲を囲むビアマット図形で構成されるビアセル図形同士を取込んで融合し、



前記第2図形融合ステップは、前記第1図形融合ステップで融合された斜め配線図形と前記ビアセル図形のビामット図形を重なる部分で融合させることを特徴とする配線図形検証方法。

【請求項3】

請求項1記載の配線図形検証方法に於いて、前記斜め配線検証ステップは、隣接する斜め配線図形同士の間隔が所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とする配線図形検証方法。

【請求項4】

請求項1記載の配線図形検証方法に於いて、前記融合図形検証ステップは、斜め配線図形と隣接する斜め配線上に融合されたビアセル図形の間隔が所定の設計規則に違反していないかを検証することを特徴とする配線図形検証方法。

【請求項5】

請求項4記載の配線図形検証方法に於いて、前記斜め配線図形は水平および垂直方向に対し 45° に傾斜し、前記ビアセル図形は前記斜め配線の線幅を超える矩形形状であり、前記第2図形融合ステップで融合された斜め配線上のビアセルは、斜め配線方向に直交するコーナ部が斜め配線の線幅を超えて突出した融合形状であり、前記融合図形検証ステップは、ビアセルの融合による斜め配線の突出し部分と隣接する斜め配線図形との間隔が、所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とする配線図形検証方法。

【請求項6】

請求項5記載の配線図形検証方法に於いて、前記融合図形検証ステップは、斜め配線に隣接してビアセルが単独で存在する場合、斜め配線図形に直交して対する前記ビアセル図形のコーナエッジとの間隔が、所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とする配線図形検証方法。

【請求項 7】

請求項 1 記載の配線図形検証方法に於いて、前記ビアマット図形は、前記ビアと斜め配線の必要十分な接触面積を確保する配線かぶりをビア周囲に形成することを特徴とする配線図形検証方法。

【請求項 8】

コンピュータに、

半導体集積回路設計のレイアウトデータに含まれる斜め配線の図形データとビアセル図形のデータに対し各々異なったレイヤ番号を定義するレイヤ定義ステップと、

前記レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に図形を融合する第 1 図形融合ステップと、

前記第 1 図形融合ステップで融合された斜め配線図形を検証する斜め配線検証ステップと、

前記第 1 融合ステップで融合された斜め配線図形と前記ビアセル図形を融合して斜め配線マスク図形を作成する第 2 図形融合ステップと、

前記第 2 図形融合ステップで融合された斜め配線マスク図形を検証する融合図形検証ステップと、

を実行させることを特徴とするプログラム。

【請求項 9】

半導体集積回路設計のレイアウトデータから斜め配線と斜め配線上に配置されるビアセルを含む配線マスク用の図形データを作成するコンピュータ支援による配線図形検証装置に於いて、

半導体集積回路設計のレイアウトデータに含まれる斜め配線図形とビアセル図形に対し各々異なったレイヤ番号を定義するレイヤ定義部と、

前記レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に図形を融合する第 1 図形融合部と、

前記第 1 図形融合部で融合された斜め配線図形を検証する斜め配線検証部と、

前記第 1 図形融合部により融合された斜め配線図形と前記ビアセル図形を融合して斜め配線マスク図形を作成する第 2 図形融合部と、

前記第 2 図形融合部で融合された融合斜め配線図形を検証する融合図形検証部と、

を備えたことを特徴とする配線図形検証装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、大規模半導体集積回路等の回路設計のレイアウトデータから配線マスク用の図形データを作成するコンピュータ支援による配線図形検証方法、プログラム及び装置に関し、特にレイアウトデータから斜め配線と斜め配線上に配置されるビアセルを含む配線マスク用の図形データを作成して検証する配線図形検証方法、プログラム及び装置に関する。

【0002】

【従来の技術】

従来、コンピュータ支援による大規模半導体集積回路の設計作業では、配置配線設計またはレイアウト設計と呼ばれる論理回路図もしくは電子回路図に従って集積回路上に素子の配置を定め、これら素子間の配線経路を決定した後、これらに基づいたマスク生成のための作図工程がある。

【0003】

周知のとおり、レイアウト設計ではレイアウト検証が行われる。このレイアウト検証とは、設計最終段階のマスク生成のための作図データ（アートワークデータ）に対し設計の正しさを確かめるものである。

【0004】

このレイアウト検証において、デザインルールチェック（DRC）と呼ばれる検証が行われる。これは、製造プロセスを検討した上で得られた各種制約を考慮して設計される幾何学的設計規則、すなわちデザインルールに対し作図データが

違反していないかを検証する工程である。

【0005】

従来のデザインルールチェックでは、デザインルールに基づいて配線図形同士の間隔を見て設計規則に違反していないかを検証する。また、配線図形とビア図形との間隔や、ビア図形を配線図形が設計規則に基づいて製造後の接触面積を保証できるよう、そのかぶりを満たしているかどうかを検証する。

【0006】

これらはいずれも古典的な技術であり、その一般例を図22に示す。従来のレイアウト検証では、まず図22(A)のようにレイアウトデータに基づいて配線レイヤの配線300と302を、またビアセルレイヤのビアセル304と306を同じレイヤで描画する。この描画により配線300とビアセル304及び配線302とビアセル306が重なれば、図22(B)のように、自動的に1つの図形に融合され、融合配線図形308, 310が生成される。

【0007】

ここでビアセル304, 306は、図22(A)のように、ビア312, 314にビアマット316, 318を結合した形状であり、ビアマット316, 318によりビア312, 314の周囲に配線かぶりを形成し、この配線かぶりは、配線300, 302とビア312, 314の接触面積をデザインルールに基づいて保持する配線かぶり値を満たすサイズをもつようにビアマット316, 318を準備している。

【0008】

このためビア312, 314とビアマット316, 318から構成されるビアセル304, 306は、配線300, 302との融合処理により、ビアマット316, 318が配線300, 302と融合して図22(B)のように融合配線図形308, 310となる。

【0009】

次に図22(B)の融合配線図形308, 310について、幾何学的な設計規則に基づく配線図形同士の許容最小間隔値Sを満たすかどうか検証する。即ち、融合図形配線308, 310の間隔を走査し、間隔320, 322のビアセルの

融合部分で最小間隔となることから、この間隔 320, 322 が許容最小間隔値 S 以上であれば設計規則を満たすと判定し、許容最小間隔値 S 未満であれば設計規則に違反し、エラーと判定する。設計規則に基づく配線図形同士の許容最小間隔値 S は、一般的に配線幅に応じて異なる。

【0010】

更に、融合配線図形 308, 310 におけるビア 312, 314 のかぶり値 326, 328 についても、設計規則に基づく許容かぶり値を満たすかどうかの検証も行う。この許容かぶり値も、一般的にビア 312, 314 が存在する配線 300, 302 の線幅に応じて異なる。

【0011】

【特許文献1】

特開平 11-297831 号公報

【特許文献2】

特許第 2953051 号公報

【特許文献3】

特許第 2580772 号公報

【0012】

【発明が解決しようとする課題】

ところで従来のレイアウト設計にあっては、配線パターンは水平及び垂直方向に配置しているが、近年にあっては、配線長を短縮して線路抵抗及び浮遊容量を低減して高周波化に伴う伝送特性を改善するため、斜め 45° 方向に配線パターンを配置する斜め配線が取り入れられるようになっている。しかしながら、斜め配線を対象としたレイアウト検証にあっては、次の問題がある。

【0013】

図 23 は、斜め配線を対象としたデザインルールチェックの説明図である。このデザインルールチェックは、斜め配線レイヤ 400 の斜め配線 402, 404 と、ビアマットレイヤ 406 のビアセル 408, 410 を同一レイヤとして自動融合処理 412 で取込んで描画することで、融合図形レイヤ 414 に融合斜め配

線図形 416, 418 を生成している。

【0014】

この場合にも、ビアセル 408, 410 は、ビア 420, 422 とビアマット 424, 426 から構成されており、ビアマット 424, 426 の部分が斜め配線 402, 404 と融合することになる。

【0015】

この融合斜め配線図形 416, 418 については、図 24 に拡大して示すように、斜め配線部分の間隔 425 が設計規則に基づく配線図形同士の許容最小間隔値 S を満たすかどうか検証し、許容最小間隔値 S 未満であればエラーと判定する。

【0016】

しかしながら、融合斜め配線図形 416, 418 は、ビア 420, 422 の周囲にかぶり値を持って配置したビアマットの融合により、斜め配線に直交する方向に突出部 427, 428, 430, 432 を生じている。

【0017】

この突出部 427, 428, 430, 432 については、突出し量が製造誤差の範囲内であれば、製造時に頂点が丸まることになる。そこで、融合斜め配線図形 416 の突出部 428 と融合斜め配線図形 418 との間隔 434、及び融合斜め配線図形 418 の突出部 430 と融合斜め配線図形 416 との間隔 436 の検証については、斜め配線同士の許容最小間隔値 S よりも緩い許容最小間隔値 T が設定される。

【0018】

しかし、デザインルールチェックにおいて、設計規則に基づいて斜め配線図形同士の許容最小間隔値 S の検証を実行した場合、配線幅からの突出部 428, 430 の間隔 434, 436 については、突出部についての許容最小間隔値 T を満足するが、それより値の大きな斜め配線同士の許容最小間隔値 S は満たさず設計規則に違反してしまい、擬似エラーを発生する。

【0019】

このため、斜め配線同士の間隔検証でビアセルの融合による突出部が存在する

と、擬似エラーが発生し、正しく検証することができない。

【0020】

この擬似エラーを回避するためには、許容最小間隔値 T を満たす突出部についても、斜め配線図形同士の許容最小間隔値 S まで広げなければならず、デザインルールチェックでの全ての違反を除くようにレイアウトするためには必要以上の斜め配線間隔を要求されることになる。

【0021】

これによる配線間隔の増大は、配線長の増大やチップ面積の増大につながり、斜め配線による配線長の節約、配線遅延縮小、チップ面積削減による歩留まり向上などの様々な恩恵を受けられなくなる。

【0022】

本発明は、斜め配線図形のビアセル融合部分での突出により擬似エラーを発生することなく、斜め配線図形同士及び斜め配線と突出部につき異なる許容最小間隔値による検証を可能とする配線図形検証方法、プログラム及び装置を提供することを目的とする。

【0023】

【課題を解決するための手段】

図1は本発明の原理説明図である。

(方法)

本発明は、半導体集積回路設計のレイアウトデータから作成される斜め配線と斜め配線上に配置されるビアセルを含む配線マスク用の図形データを検証するコンピュータ支援による配線図形検証方法を提供する。

【0024】

この配線図形検証方法は、

レイヤ定義部26により、半導体集積回路設計のレイアウトデータに含まれる斜め配線図形とビアセル図形に対し各々異なったレイヤ番号を定義するレイヤ定義ステップと、

第1図形融合部28により、レイアウトデータから斜め配線図形及びビアセル

図形を含む図形データを取込んで同一レイヤ番号毎に図形を合成して重なる部分で融合する第 1 図形融合ステップと、

斜め配線検証部 30 により、第 1 図形融合ステップで融合された斜め配線図形を検証する斜め配線検証ステップと、

第 2 図形融合部 32 により、検証の済んだ斜め配線図形とビアセル図形を合成して重なる部分で融合した斜め配線マスク図形を作成する第 2 図形融合ステップと、

融合図形検証部 34 により、第 2 図形融合ステップで融合された斜め配線マスク図形を検証する融合図形検証ステップと、
を備えたことを特徴とする。

【0025】

このように本発明の配線図形検証方法は、斜め配線レイヤとビアマットレイヤを異なるレイヤに定義することで、ビアセル図形と融合することなく斜め配線図形を単独で描画し、斜め配線図形とビアセル図形を別々のレイヤの図形として個別に融合（第 1 図形融合ステップ）できる。このため、斜め配線とビアセルの融合による突出部との間隔により発生する擬似エラーを回避し、斜め配線同士の許容最小間隔値 S による検証ができる。

【0026】

またレイヤの異なる斜め配線とビアセルにつき、レイヤの融合処理（第 2 図形融合ステップ）を実行することで、両者を融合した斜め配線マスク図形を生成し、この斜め配線マスク図形に対し斜め配線とビアマットの融合による突出部の許容最小間隔値 T による検証ができる。

【0027】

ここで第 1 図形融合ステップは、斜め配線図形同士を取込んで融合すると共に、
ビア図形とその周囲を囲むビアマット図形で構成されるビアセル図形同士を取込んで融合し、第 2 図形融合ステップは、第 1 図形融合ステップで融合された斜め配線図形とビアセル図形のビアマット図形と重なる部分で融合させることを特徴とする。



【0028】

斜め配線検証ステップは、隣接する斜め配線図形同士の間隔が所定の設計規則に違反していないかを検証する。即ち、斜め配線検証ステップは、隣接する斜め配線図形同士の間隔が所定の設計規則に基づく許容最小間隔値 S に違反していないかを検証する。

【0029】

融合図形検証ステップは、斜め配線図形と隣接する斜め配線上に融合されたビアセル図形の間隔が所定の設計規則に違反していないかを検証する。即ち、斜め配線図形は水平および垂直方向に対し 45° に傾斜し、ビアセル図形は斜め配線の線幅を超える矩形形状であり、第2図形融合ステップで融合された斜め配線上のビアセルは、斜め配線方向に直交するコーナ部が斜め配線の線幅を超えて突出した融合形状であり、融合図形検証ステップは、ビアセルの融合による斜め配線の突出部と隣接する斜め配線図形との間隔が、所定の設計規則に基づく許容最小間隔値 T に違反していないかを検証する。

【0030】

融合図形検証ステップは、斜め配線に隣接してビアセルが単独で存在する場合、斜め配線図形に直交して相対するビアセル図形のコーナエッジとの間隔が所定の設計規則に基づく許容最小間隔値 T に違反していないかを検証する。

【0031】

本発明におけるビामット図形は、ビアと斜め配線の必要十分な接触面積を確保する配線かぶりをビア周囲に形成する。

【0032】

(プログラム)

本発明は、半導体集積回路設計のレイアウトデータから作成される斜め配線と斜め配線上に配置されるビアセルを含む配線マスク用の図形データを検証する配線図形検証のためのプログラムを提供する。

【0033】

このプログラムは、コンピュータに、

半導体集積回路設計のレイアウトデータに含まれる斜め配線の図形データとビ

アセル図形のデータに対し各々異なったレイヤ番号を定義するレイヤ定義ステップと、

レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に融合する第1図形融合ステップと、

第1図形融合ステップで融合された斜め配線図形を検証する斜め配線検証ステップと、

第1図形融合ステップで融合された斜め配線図形とビアセル図形を融合して斜め配線マスク図形を作成する第2図形融合ステップと、

第2図形融合ステップで融合された斜め配線マスク図形を検証する融合図形検証ステップと、

を実行させることを特徴とする。なお、本発明によるプログラムの詳細は、配線図形検証方法と基本的に同じになる。

【0034】

(装置)

本発明は、半導体集積回路設計のレイアウトデータから斜め配線と斜め配線上に配置されるビアセルを含む配線マスク用の図形データを作成するコンピュータ支援による配線図形検証装置を提供する。

【0035】

この配線図形検証装置は、半導体集積回路設計のレイアウトデータに含まれる斜め配線図形とビアセル図形に対し各々異なったレイヤ番号を定義するレイヤ定義部と、レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に図形を融合する第1図形融合部と、第1図形融合部で融合された斜め配線図形を検証する斜め配線検証部と、第1図形融合部により融合された斜め配線図形とビアセル図形を融合して斜め配線マスク図形を作成する第2図形融合部と、第2図形融合部で融合された融合斜め配線図形を検証する融合図形検証部とを備えたことを特徴とする。なお、本発明による配線図形検証装置の詳細は、配線図形検証方法と基本的に同じになる。

【0036】

【発明の実施の形態】

図2は、本発明の配線図形検証方法が実施されるシステム構成のブロック図である。図2において、本発明の配線図形検証方法が実施されるシステムは、配線図形検証装置10、入力装置12、出力装置14更に配線図形検証装置10の内部記憶装置16で構成される。

【0037】

入力装置12にはレイアウトデータ入力部18とDRCルール入力部20が設けられる。レイアウトデータ入力部18は設計処理が完了したレイアウトデータを入力して、内部記憶装置16のレイアウトデータ記憶部36に記憶する。

【0038】

DRCルール入力部20は入力されたレイアウトデータから作成された配線図形のデザインルールチェックを実行するための実行情報であるDRCルールを入力し、内部記憶装置16のDRCルール記憶部38に記憶する。

【0039】

配線図形検証装置10には全体の制御を行う制御部22とDRC実行部24が設けられる。DRC実行部24には本発明による配線図形検証装置を実行するためレイヤ定義部26、第1図形融合部28、斜め配線検証部30、第2図形融合部32及び融合図形検証部34の機能が設けられている。

【0040】

このDRC実行部24の処理機能に対応して、内部記憶装置16には検証対象図形記憶部40と検証結果により得られたエラーパターンを格納するエラーパターンデータ記憶部42が設けられる。また出力装置14にはDRC実行部24による検証結果として得られたエラーパターンを表示するためのエラーパターンデータ表示部44が設けられている。

【0041】

DRC実行部24に設けられた各機能部の処理内容は次のようになる。レイヤ定義部26はレイアウトデータに含まれる斜め配線図形とビアセル図形に対し各々異なったレイアウト番号を定義する。第1図形融合部28はレイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取り込み、同一レイアウト

ト番号同士の図形を融合する第1段階の図形融合処理を行う。

【0042】

斜め配線検証部30は第1図形融合部28の融合処理で得られた斜め配線図形を対象に幾何学的な設計規則により、予め定められた所定の斜め配線同士の許容最小間隔値Sによる検証処理を行う。

【0043】

第2図形融合部32は第1図形融合部28で融合された斜め配線図形とビアセル図形を融合して斜め配線マスク図形を作成する。融合図形検証部34は第2図形融合部32で融合された斜め配線図形とビアセル図形を含む斜め配線図形を対象に斜め配線とビアセルの突出部との間隔について予め定められた所定の許容最小間隔値T（但し $T < S$ ）による検証を行う。

【0044】

図2における本発明の配線図形検証装置10は、例えば図3のようなコンピュータのハードウェア資源により実現される。図3のコンピュータにおいて、CPU200のバス201にはRAM202、ハードディスクコントローラ（ソフト）204、フロッピーディスクドライバ（ソフト）210、CD-ROMドライバ（ソフト）214、マウスコントローラ218、キーボードコントローラ222、ディスプレイコントローラ226、通信用ボード230が接続される。

【0045】

ハードディスクコントローラ204はハードディスクドライブ206を接続し、本発明のデザインルールチェックを実行するアプリケーションプログラムをローディングしており、コンピュータの起動時にハードディスクドライブ206から必要なプログラムを呼び出して、RAM202上に展開し、CPU200により実行する。

【0046】

フロッピーディスクドライバ210にはフロッピーディスクドライブ（ハード）212が接続され、フロッピーディスク（R）に対する読み書きができる。CD-ROMドライバ214に対しては、CDドライブ（ハード）216が接続され、CDに記憶されたデータやプログラムを読み込むことができる。

【0047】

マウスコントローラ 218 はマウス 220 の入力操作を CPU 200 に伝える。キーボードコントローラ 222 はキーボード 224 の入力操作を CPU 200 に伝える。ディスプレイコントローラ 226 は表示部 228 に対して表示を行う。通信用ボード 230 は無線を含む通信回線 232 を使用し、インターネット等のネットワークを介して他のコンピュータやサーバとの間で通信を行う。

【0048】

図 4 は、本発明の配線図形検証方法が行われるレイアウト設計を含むコンピュータ支援による半導体集積回路設計処理の工程説明図である。

【0049】

この半導体集積回路設計処理の工程は、まずステップ S1 でチップ全体の機能の構成を決定する機能設計を行う。続いてステップ S2 で回路パラメータ及び回路間の接続を決定する論理回路設計を行う。次にステップ S3 でセルの配置と配線を行うレイアウト設計を行う。

【0050】

このレイアウト設計は、通常、セルの配置処理、概略配線処理、詳細配線処理の手順で行われる。レイアウト設計の中ではセルの配置及び配線の終了により得られたレイアウトデータを対象にレイアウト検証が行われ、このレイアウト検証の中で本発明によるデザインルールチェック（DRC）による検証が行われる。

【0051】

レイアウト設計が完了するとステップ S4 でマスクパターンの生成が行われ、続いてステップ S5 で生成されたマスクパターンに基づく集積回路の製造が行われ、最終的に製造された集積回路のテストがステップ S6 で行われることになる。

【0052】

図 5 は、本発明による配線図形検証処理が適用される配線マスク図形の一例である。図 5 において、配線マスク図形はレイアウトデータに基づいた描画処理によりマスクレイヤ 46 上に作成され、この例では 5 箇所セル 48 が配置され、各セル 48 に対し縦配線及び横配線に加え、斜め配線 50 が行われている。

【0053】

また各配線の所定の位置にはビア52が形成され、他の配線レイヤとの電気的な接続を可能としている。このようなマスクレイヤ46の配線図形において、本発明による配線図形検証処理は、例えば点線で囲んだ検証対象部52に存在するビア52を備えた斜め配線50を対象に実行される。

【0054】

図6は、図5の配線マスク図形の作成に使用される配線レイヤ54の配線図形の説明図である。図6において、配線レイヤ54にあっては、縦配線、横配線、更に本発明が対象とする斜め配線50を含む配線図形が作成されている。即ち配線レイヤ50の配線図形は、図5のマスクレイヤ46の配線マスク図形からセル48及びビア52を除いた融合前の図形ということができる。

【0055】

図7は、図5の配線マスク図形の作成に使用されるビアマットレイヤ56におけるビアセル58のビアマット図形である。このビアマットレイヤ56にあっては図5のマスクレイヤ46からセル48及び縦横斜め配線50を除いた融合前の図形であり、ビアセル58のビアマット図形のみが配置されている。

【0056】

このため本発明の配線図形検証処理であるデザインルールチェックの実行処理にあっては、図6の配線レイヤ54の配線図形と図7のビアマットレイヤ56のビアセル図形を準備し、更にセルレイヤのセル図形を加えることでこれらを融合して図5のようなマスクレイヤ46の配線マスク図形を生成し、例えば検証対象部52の斜め配線50同士の配線間隔の検証を行う。

【0057】

図8は、本発明による斜め配線検証処理の第1実施形態の説明図である。本発明による斜め配線検証処理にあっては、

- (1) レイヤ番号の定義
- (2) 同一レイヤ番号の図形データを融合する第1融合処理
- (3) 斜め配線の検証処理
- (4) 斜め配線とビアセルの第2融合処理



(5) 融合図形の検証処理

の5つの処理手順を持っている。図8の斜め配線検証処理にあつては、前記(1)のレイヤ番号の定義と(2)の第1融合処理が済んだ以降の処理を表している。

【0058】

まず配線レイヤ60は同一のレイヤ番号が付された斜め配線64, 66, 68を融合して斜め配線図形を生成している。またビアマットレイヤ62には同じレイヤ番号のビアセル70, 72のビア同士及びビアマット同士を融合してビアセル図形を生成している。この配線レイヤ60及びビアマットレイヤ62の各図形の生成が第1段階の融合処理の処理結果である。

【0059】

次の本発明にあつては、配線レイヤ60の斜め配線64, 66, 68を対象に斜め配線検証処理74を実行する。この斜め配線検証処理74は、斜め配線64に対し隣接する斜め配線66, 68のそれぞれの間隔が幾何学的な設計規則により定められた所定の許容最小間隔値Sより大きいかな否かを検証し、許容最小間隔値S以上であれば設計規則を満たし、許容最小間隔値Sより小さければ設計規則に違反するとしてエラーデータを生成する。

【0060】

配線レイヤ60の斜め配線64, 66, 68に対する斜め配線検証処理74が済むと、第2図形融合処理76を行う。この第2図形融合処理76は配線レイヤ60とビアマットレイヤ62のレイヤ図形の融合を実行する。この第2図形融合処理76によりマスクレイヤ78上に斜め配線64, 66にビアセル70, 72がそれぞれ融合された融合配線図形80, 82が生成される。尚、斜め配線68はビアセル70の融合がないことからそのまま融合配線図形84となる。

【0061】

このようにしてマスクレイヤ78に融合配線図形80, 82, 84が生成されると、融合図形検証処理86が行われる。融合図形検証処理86は、融合配線図形80, 82におけるビアセル70, 72との融合による突出部とこれに隣接する融合配線図形との間隔を対象に、幾何学的な設計規則による所定の許容最小間

隔値 T による検証を行う。

【0062】

そして突出部と斜め配線間の間隔が許容最小間隔値 T 以上であれば設計規則を満たすと判定し、許容最小間隔値 T より小さければ設計規則に違反するとしてエラーデータを生成する。

【0063】

図 9 は、図 8 のビアマットレイヤ 62 を取り出している。ビアマットレイヤ 62 に配置されたビアセル 70, 72 は、それぞれビア 90, 92 とビアマット 94, 96 で構成されている。

【0064】

ビアマット 94, 96 は、図 8 のマスクレイヤ 78 のように斜め配線 64, 66 と融合された際に、ビア 90, 92 と斜め配線間の接触面積を十分に確保するために設計されており、本発明にあっては斜め配線に融合されるビアマット 94, 96 について斜め配線固有の接触面積を確保するための最適な配線かぶり値 $94-1$, $96-1$ を予め設定している。

【0065】

このため本発明におけるデザインルールチェックの実行処理にあっては、斜め配線に融合されるビアセル 70, 72 のビアマットについては予め適切な配線かぶり値が設定されていることから、検証処理において配線かぶり値を検証する必要がなく、そのぶん処理が簡略化できる。

【0066】

図 10 は、図 8 の配線レイヤ 60 を対象とした斜め配線検証処理 74 による検証処理の説明図である。配線レイヤ 60 について作成された斜め配線 64 に対する隣接する斜め配線 66, 68 のそれぞれについて、矢印で示す両者の間隔 104, 106 を斜め配線方向に操作しながら設計規則で定めた斜め配線間隔の許容最小間隔値 S と比較し、許容最小間隔値 S 未満であれば設計規則に違反するとしてエラーデータを生成する。

【0067】

エラーデータの生成は、例えば斜め配線 64 と斜め配線 66 間の間隔 104 に

ついて許容最小間隔値 S 未満となって設計規則に違反した場合には、矢印 104 が位置する斜め配線 64 のエッジライン及び斜め配線 66 のエッジラインを指定するエラーデータを作成し、図 2 の出力装置 14 におけるエラーパターンデータ表示部 44 により、例えば太線で示すエラー表示 64-1, 66-1 のように他のエッジラインに対し区別できる表示とする。またエラー表示としては、エッジラインの色を通常の黒から例えば赤などに切替表示しても良い。

【0068】

図 11 は、図 8 の第 2 図形融合処理 76 におけるマスキレイヤ 78 の融合前の説明図である。このマスキレイヤ 78 における融合前の状態にあつては、斜め配線 64, 66 に対し、ビアセル 70, 72 が配置され、この状態でビアセル 70, 72 におけるビアマット 94, 96 が斜め配線 64, 66 と一体化するように融合処理を行い、これによって図 12 に取り出して示すマスキレイヤ 78 における融合配線図形 80, 82 が得られる。

【0069】

図 12 は、図 8 におけるマスキレイヤ 78 の融合配線図形を対象とした間隔検証処理の説明図である。マスキレイヤ 78 における融合配線図形 80, 82 は、斜め配線に対するビアセルの融合によって斜め配線方向に対し直行する方向に突出部 80-1, 80-2 及び突出部 82-1, 82-2 を生じている。

【0070】

この突出部 80-1, 80-2 及び突出部 82-1, 82-2 は、実際に半導体製造を行った際には先端の頂点が丸くなることから、この製造時の丸みを考慮して斜め配線同士の許容最小間隔値 S より緩やかな斜め配線と突出部との間の許容最小間隔値 T に基づいた間隔の検証処理を行う。

【0071】

即ち融合配線図形 80 の突出部 80-1 の頂点とこれに相対する融合配線図形 84 のエッジラインとの間隔 108 が許容最小間隔値 T を満足するか否か検証し、許容最小間隔値 T より小さければ設計規則に違反するとしてエラーデータを生成する。

【0072】

同様に融合配線図形 82 の突出部 82-1 とこれに相対する融合配線図形 80 のエッジラインとの間隔 110 について、許容最小間隔値 T による検証を行ない、もし許容最小間隔値 T より小さければ設計規則に違反するとしてエラーデータを生成する。

【0073】

このように本発明の配線間隔検証処理にあつては、斜め配線同士の間隔についてはビアセルの融合を行う前に実行していることから、融合付けにおける斜め配線のビアセルによる突出部による間隔検証で擬似エラーが発生してしまうことを確実に防止することができる。

【0074】

また斜め配線とビアセルによる突出部との検証については斜め配線とビアセルを融合した後に行うことで、斜め配線同士の間隔検証から独立して検証できる。更にビアの斜め配線に対するかぶり値については、予め斜め配線とビアの接触面積を確保する適切な配線かぶり値が設定されているため特にかぶり値の検証を必要としない。

【0075】

図 13 は、本発明によるデザインルール検証の実行処理に使用されるデザインルールチェック実行情報 112 の記述凡例である。この本発明によるデザインルールチェックのための実行情報 112 は、レイヤ定義文 112-1、図形融合処理 112-2、許容最小間隔 S による検証処理 112-3 及び許容最小間隔 T による検証処理 112-4 の 4 つの制御文で構成されている。

【0076】

即ち、レイヤ定義文 112-1 は「metal=Layer 77」とすることで、レイヤ番号 77 番を融合レイヤ (metal layer) と定義している。

【0077】

また、融合処理 112-2 は「Z=X OR Y」と記述することにより、図形 X と図形 Y の融合処理後の図形 Z の作成を指示する。

【0078】

また、許容最小間隔 S の検証処理 112-3 は「SPACE X $X < S$ 」を記述することにより、図形 X ～図形 X 間の許容最小間隔 S の検証を指示する。更に、許容最小間隔 T の検証処理 112-4 は「SPACE X $Y < T$ 」を記述することにより、図形 X ～図形 Y 間の許容最小間隔 T の検証を指示する。

【0079】

図 14 は、図 13 の記述凡例に基づくデザインルールチェック実行情報 114 の具体例である。このデザインルールチェック実行情報 114 は、レイヤ定義文 115、許容最小間隔 S の検証処理 116、融合処理 118、許容最小間隔 T の検証処理 120 で構成されている。

【0080】

図 15 は、図 2 の DRC 実行部 24 の機能に基づく本発明におけるデザインルールチェックの実行処理のフローチャートであり、このフローチャートの処理手順が本発明によるデザインルールチェックの実行プログラムの処理手順を同時に表わしている。

【0081】

図 15 について、デザインルールチェックの実行処理を、図 14 のデザインルールチェック実行情報 114 を参照して説明すると次のようになる。まずステップ S1 で、レイヤ定義文 115 に基づき各レイヤにレイヤ番号を定義する。

【0082】

図 14 のレイヤ定義文 115 にあつては、5 行目の「metal__1」のレイヤを使用して斜め配線図形を描画していたとすると、ここに「Layer 11」として 11 番レイヤのレイヤ番号を定義する。またビアセルについては、6 行目の「via__mat」を使用して描画していたとすると、ここに「Layer 12」として 12 番レイヤをレイヤ番号として定義する。

【0083】

続いてステップ S2 で、同一レイヤ番号の図形データの融合処理、即ち第 1 段階の融合処理を行う。即ち、レイヤ定義文 115 の 5 行目で定義された 11 番レイヤとなる複数の斜め配線図形を融合し、また 6 行目の 12 番レイヤで定義されたビアセル図形を融合する。

【0084】

次にステップS3で斜め配線の検証処理を行う。この斜め配線の検証処理は、図14の9～10行目の許容最小間隔Sの検証処理116の指示に従い、斜め配線図形同士の間隔が許容最小間隔S未満であることを検証し、許容最小間隔S未満であればエラーデータを生成する。

【0085】

次にステップS4で斜め配線とビアセルのビアマット図形の融合処理を行う。この融合処理は、図14の11～12行目の融合処理118の指示に従い、斜め配線図形とビアセル図形を融合して、融合図形として「name」を作成する。

【0086】

次にステップS5で、融合図形におけるビアセルのビアマット図形の融合に伴う突出部と、これに相對する斜め配線との間隔について、許容最小間隔Tを用いた検証処理を行う。即ち、図14の13～16行目の検証処理120の指示に従った処理を実行する。

【0087】

具体的には、14行目において斜め配線と融合図形の間隔が許容最小間隔T未満であるか否か検証し、許容最小間隔T未満であればエラーと判定する。更に15行目において斜め配線とビアセルとの間隔についても、同様に許容最小間隔Tを用いた間隔の検証を行う。

【0088】

このような検証処理が済むと、ステップS6で検証結果の表示とエラーパターンデータのファイル格納を行う。もしデザインルールチェックの実行処理によって斜め配線についてエラーパターンデータが表示されたならば、設計者はディスプレイに表示された形状部分のレイアウト図形データ、例えば図5のマスキレイヤ46の配線図形における点線で囲んだ検証対象部52についてエラーが判定されたならば、エラーを起こしている斜め配線50の間隔を広げる調整を行った後、再度検証処理を行って、最小間隔を満足するレイアウト結果を生成する。

【0089】

図 16 は、本発明による斜め配線検証処理の第 2 実施形態の説明図である。この第 2 実施形態にあつては、斜め配線同士の許容最小間隔値 S による検証におけるエラーデータにつき、エラーを起こしている間隔の部分にエラーレイヤによるエラー領域を貼り付け、また斜め配線とビアセルを融合した際の斜め配線のビアセルによる突出部との間隔についての許容最小間隔値 T を用いた検証でエラーデータが生じた場合にも、エラーを起こした間隔部分にエラーレイヤによるエラー領域を貼り付けるようにしたことを特徴とする。

【0090】

図 16 は、図 15 のデザインルールチェック実行処理におけるステップ S2、S3 の処理が済んで、配線レイヤ 122 及びビアマットレイヤ 124 について斜め配線図形及びビアレイヤ図形が得られた後の処理である。

【0091】

配線レイヤ 122 にあつては、斜め配線 126、128、130、132 が融合図形として得られており、これらにつき斜め配線検証処理 140 により許容最小間隔値 S による検証を行う。

【0092】

次に、第 2 図形融合処理 142 により配線レイヤ 122 の斜め配線とビアマットレイヤ 124 のビアセルのビアマット図形を融合した後、融合図形検証処理 144 により許容最小間隔値 T を用いた検証を行う。

【0093】

このような 2 段階の検証処理により、マスクレイヤ 146 にあつては、融合配線図形 148、152 の間隔が許容最小間隔 S に違反して、ここにエラー領域 155 がエラーレイヤによって貼り付けられ、更に融合配線図形 150 における突出部と融合配線図形 154 の間に対する許容最小間隔値 T による検証でエラーデータが発生して、ここにエラー領域 156 がエラーレイヤによって貼り付けられている。

【0094】

更に、融合配線図形 154 と独立したビアセル 138 の間についても許容最小間隔値 T による検証が行われ、この部分についてもエラーデータが発生すること

で、エラー領域 158 がエラーレイヤにより貼り付けられている。

【0095】

図 17 は、図 16 の斜め配線検証処理 140 による検証処理を示している。この配線レイヤ 122 の検証処理にあつては、斜め配線 126, 130 の間及び斜め配線 128, 132 の間のそれぞれの間隔 172, 176 について、斜め配線同士の許容最小間隔値 S を用いた検証を行っている。

【0096】

ここで斜め配線 126, 130 間の間隔 L について、許容最小間隔値 S 未満となってエラーを発生した場合には、このエラーを発生した間隔 172 の部分に別途設けられたエラーレイヤによるエラー領域 155 を貼り付ける。

【0097】

図 18 は、図 16 のビアマットレイヤ 124 を取り出しており、図 9 の場合と同様、ビアセル 134, 136, 138 はビア 160, 162, 164 とビアマット 166, 168, 170 で構成され、ビアマット 166, 168, 170 における配線かぶり値 $160-1$, $162-1$, $170-1$ は、斜め配線に対するビアの接触面積を十分に確保できる最適値が予め設定されている。

【0098】

図 19 は、図 16 の融合図形検証処理 144 について、マスキレイヤ 146 を取り出している。この検証処理にあつては、マスキレイヤ 146 における隣接する融合配線図形 148, 152 について、突出部 148-1 と相対するラインエッジとの間隔 178 につき、許容最小間隔値 T による検証を行う。この場合、間隔 178 は許容最小間隔値 T 以上であることから、エラーデータは発生しない。

【0099】

同様に、隣接する融合配線図形 150, 154 について、突出部 150-1 と相対するラインエッジとの間隔 180 に対し、許容最小間隔値 T による検証を行い、許容最小間隔値 T 未満であることから、設計規則に違反していると判断し、ここにエラー領域 156 をエラーレイヤにより貼り付ける。

【0100】

更に、融合配線図形 154 と独立したビアセル 138 との間隔 184 について

も許容最小間隔値Tによる検証を行い、この場合、間隔184が許容最小間隔T未満であることから設計規則に違反すると判断し、エラー領域158をエラーレイヤにより貼り付ける。

【0101】

図20は、図16のデザインルールチェックの実行により最終的に得られるマスキレイヤ146を取り出しており、間隔において違反した部分について、エラーレイヤによるエラー領域155、156、158が貼り付けられ、これが出力装置における画面表示となるため、設計者は作図された配線図におけるエラー領域の表示から直ちに間隔の違反箇所を見つけることができる。

【0102】

図21は、図20のマスキレイヤ146にエラー領域を貼り付けているエラーレイヤ186の説明図であり、斜め配線図形における検証結果でエラーデータが生成されると、エラーを生じた間隔部分に対応したエラー領域155、156、158のエラーレイヤ186上における生成が行われることになる。

【0103】

なお上記の実施形態にあつては、例えば図15のフローチャートのように、ステップS3で斜め配線の検証処理を行った後に、ステップS4で斜め配線とビアセルのビアマット図形の融合処理を行って、ステップS5で融合図形の検証処理を行っているが、この順番は逆であってもよい。即ち、最初にステップS4で斜め配線とビアセルの融合処理を行った後に融合図形の検証を行い、その後に斜め配線の検証処理を行うようにしてもよい。

【0104】

また上記の実施形態は、大規模半導体集積回路設計を例にとるものであったが、規模に関わらず適宜の半導体集積回路の回路設計に適用でき、更にプリント基板における回路設計についても、そのまま適用することができる。

【0105】

また本発明は、その目的と利点を損なうことのない適宜の変形を含み、更に上記の実施形態に示した数値による限定は受けない。

ここで本発明の特徴輪まとめて列挙すると、次の付記のようになる。

【0106】

(付記)

(付記1)

半導体集積回路設計のレイアウトデータから作成される斜め配線と斜め配線上に配置されるビアセルを含む配線マスク用の図形データを検証するコンピュータ支援による配線図形検証方法に於いて、

レイヤ定義部により、半導体集積回路設計のレイアウトデータに含まれる斜め配線図形とビアセル図形に対し各々異なったレイヤ番号を定義するレイヤ定義ステップと、

第1図形融合部により、前記レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に図形を融合する第1図形融合ステップと、

斜め配線検証部により、前記第1図形融合ステップで融合された斜め配線図形を検証する斜め配線検証ステップと、

第2図形融合部により、前記第1図形融合ステップで融合された前記斜め配線図形と前記ビアセル図形を融合して斜め配線マスク図形を作成する第2図形融合ステップと、

融合図形検証部により、前記第2図形融合ステップで融合された斜め配線マスク図形を検証する融合図形検証ステップと、

を備えたことを特徴とする配線図形検証方法。(1)

【0107】

(付記2)

付記1記載の配線図形検証方法に於いて、

前記第1図形融合ステップは、斜め配線図形同士を取込んで融合すると共に、ビア図形とその周囲を囲むビアマット図形で構成されるビアセル図形同士を取込んで融合し、

前記第2図形融合ステップは、前記第1図形融合ステップで融合された斜め配線図形と前記ビアセル図形のビアマット図形を重なる部分で融合させることを特徴とする配線図形検証方法。(2)

【 0 1 0 8 】

(付記 3)

付記 1 記載の配線図形検証方法に於いて、前記斜め配線検証ステップは、隣接する斜め配線図形同士の間隔が所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とする配線図形検証方法。(3)

【 0 1 0 9 】

(付記 4)

付記 1 記載の配線図形検証方法に於いて、前記融合図形検証ステップは、斜め配線図形と隣接する斜め配線上に融合されたビアセル図形の間隔が所定の設計規則に違反していないかを検証することを特徴とする配線図形検証方法。(4)

【 0 1 1 0 】

(付記 5)

付記 4 記載の配線図形検証方法に於いて、前記斜め配線図形は水平および垂直方向に対し 45° に傾斜し、前記ビアセル図形は前記斜め配線の線幅を超える矩形形状であり、前記第 2 図形融合ステップで融合された斜め配線上のビアセルは、斜め配線方向に直交するコーナ部が斜め配線の線幅を超えて突出した融合形状であり、前記融合図形検証ステップは、ビアセルの融合による斜め配線の突出部分と隣接する斜め配線図形との間隔が、所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とする配線図形検証方法。(5)

【 0 1 1 1 】

(付記 6)

付記 5 記載の配線図形検証方法に於いて、前記融合図形検証ステップは、斜め配線に隣接してビアセルが単独で存在する場合、斜め配線図形に直交して相対する前記ビアセル図形のコーナエッジとの間隔が、所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とする配線図形検証方法。(6)

【 0 1 1 2 】

(付記 7)

付記 1 記載の配線図形検証方法に於いて、前記ビामット図形は、前記ビアと

斜め配線の必要十分な接触面積を確保する配線かぶりをビア周囲に形成すること
を特徴とする配線図形検証方法。(7)

【0113】

(付記8)

コンピュータに、
半導体集積回路設計のレイアウトデータに含まれる斜め配線の図形データとビアセル図形のデータに対し各々異なったレイヤ番号を定義するレイヤ定義ステップと、
前記レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に図形を融合する第1図形融合ステップと、
前記第1図形融合ステップで融合された斜め配線図形を検証する斜め配線検証ステップと、
前記第1図形融合ステップで融合された斜め配線図形と前記ビアセル図形を融合して斜め配線マスク図形を作成する第2図形融合ステップと、
前記第2図形融合ステップで融合された斜め配線マスク図形を検証する融合図形検証ステップと、
を実行させることを特徴とするプログラム。(8)

【0114】

(付記9)

付記8記載のプログラムに於いて、
前記第1図形融合ステップは、斜め配線図形同士を取込んで融合すると共に、
ビア図形とその周囲を囲むビアマット図形で構成されるビアセル図形同士を取込んで融合し、
前記第2図形融合ステップは、前記第1図形融合ステップで融合された前記斜め配線図形と前記ビアセル図形のビアマット図形とを重なる部分で融合させることを特徴とするプログラム。

【0115】

(付記10)

付記8記載のプログラムに於いて、前記斜め配線検証ステップは、隣接する斜

め配線図形同士の間隔が所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とするプログラム。

【0116】

(付記11)

付記8記載のプログラムに於いて、前記融合図形検証ステップは、斜め配線図形と隣接する斜め配線上に融合されたビアセル図形の間隔が所定の設計規則に違反していないかを検証することを特徴とするプログラム。

【0117】

(付記12)

付記11記載のプログラムに於いて、前記斜め配線図形は水平および垂直方向に対し45°に傾斜し、前記ビアセル図形は前記斜め配線の線幅を超える矩形形状であり、前記第2図形融合ステップで融合された斜め配線上のビアセルは、斜め配線方向に直交するコーナ部が斜め配線の線幅を超えて突出した融合形状であり、前記融合図形検証ステップは、ビアセルの融合による斜め配線の突出し部分と隣接する斜め配線図形との間隔が、所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とするプログラム。

【0118】

(付記13)

付記12記載のプログラムに於いて、前記融合図形検証ステップは、斜め配線に隣接してビアセルが単独で存在する場合、斜め配線図形に直交して相対する前記ビアセル図形のコーナエッジとの間隔が、所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とするプログラム。

【0119】

(付記14)

付記8記載のプログラムに於いて、前記ビामット図形は、前記ビアと斜め配線の必要十分な接触面積を確保する配線かぶりをビア周囲に形成することを特徴とするプログラム。

【0120】

(付記15)



半導体集積回路設計のレイアウトデータから斜め配線と斜め配線上に配置されるビアセルを含む配線マスク用の図形データを作成するコンピュータ支援による配線図形検証装置に於いて、

半導体集積回路設計のレイアウトデータに含まれる斜め配線図形とビアセル図形に対し各々異なったレイヤ番号を定義するレイヤ定義部と、

前記レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に図形を融合する第1図形融合部と、

前記第1図形融合部で融合された斜め配線図形を検証する斜め配線検証部と、

前記第1図形融合部により融合された斜め配線図形と前記ビアセル図形を融合して斜め配線マスク図形を作成する第2図形融合部と、

前記第2図形融合部で融合された融合斜め配線図形を検証する融合図形検証部と

、
を備えたことを特徴とする配線図形検証装置。(9)

【0121】

(付記16)

付記15記載の配線図形検証装置に於いて、
前記第1図形融合部は、斜め配線図形同士を取込んで融合すると共に、
ビア図形とその周囲を囲むビアマット図形で構成されるビアセル図形同士を取込んで融合し、

前記第2図形融合部は、前記第1図形融合部で融合された前記斜め配線図形と前記ビアセル図形のビアマット図形とを重なる部分で融合させることを特徴とする配線図形検証装置。

【0122】

(付記17)

付記15記載の配線図形検証装置に於いて、前記斜め配線検証部は、隣接する斜め配線図形同士の間隔が、所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とする配線図形検証装置。

【0123】

(付記18)

付記 15 記載の配線図形検証装置に於いて、前記融合図形検証部は、斜め配線図形と隣接する斜め配線上に融合されたビアセル図形の間隔が所定の設計規則に違反していないかを検証することを特徴とする配線図形検証装置。

【0124】

(付記 19)

付記 18 記載の配線図形検証装置に於いて、前記斜め配線図形は水平および垂直方向に対し 45° に傾斜し、前記ビアセル図形は前記斜め配線の線幅を超える矩形形状であり、前記第 2 図形融合部で融合された斜め配線上のビアセルは、斜め配線方向に直交するコーナ部が斜め配線の線幅を超えて突出した融合形状であり、前記融合図形検証部は、ビアセルの融合による斜め配線の突出し部分と隣接する斜め配線図形との間隔が、所定の設計規則に基づく許容最小間隔値に違反していないかを検証することを特徴とする配線図形検証装置。

【0125】

(付記 20)

付記 19 記載の配線図形検証装置に於いて、前記融合図形検証部は、斜め配線に隣接してビアセルが単独で存在する場合、斜め配線図形に直交して相対する前記ビアセル図形のコーナエッジとの間隔が所定の設計規則に違反していないかを検証することを特徴とする配線図形検証装置。

【0126】

(付記 21)

付記 15 記載の配線図形検証装置に於いて、前記ビामット図形は、前記ビアと斜め配線の必要十分な接触面積を確保する配線かぶりをビア周囲に形成することを特徴とする配線図形検証装置。

【0127】

【発明の効果】

以上説明してきたように本発明によれば、レイアウトデータから作成されるビアセルの融合による突出部を持つ斜め配線同士の許容最小間隔の検証につき、ビアセルを融合する前の段階で斜め配線同士の許容最小間隔を検証し、またビアセ

ルを融合した後にビアセルの突出部とこれに隣接する斜め配線との間隔については、斜め配線同士より緩やかな許容最小間隔値を用いた検証を行うことで、ビアセルが融合される斜め配線同士であっても、ビアセルの融合による突出部による擬似エラーを発生することなく、斜め配線同士の許容最小間隔の検証ができ、この結果、設計規則に基づいて許容される最小距離まで斜め配線同士を近づけることができるため、斜め配線による配線長の節約、配線遅延の抑制、チップ面積の縮小に貢献でき、検証処理によるレイアウト変更が適切にできることで歩留まり向上に貢献する。

【0128】

また本発明にあつては、斜め配線図形とビアセル図形をそれぞれ別のレイヤで作成するだけで、斜め配線同士の許容最小間隔の検証及びビアセルを融合した斜め配線における緩やかな許容最小間隔の検証が実現でき、既存のデザインルールチェックのツールに特別な機能を追加することなく簡単且つ容易に実現することができる。

【図面の簡単な説明】

【図1】

本発明の原理説明図

【図2】

本発明の配線図形検証方法が実施されるシステム構成のブロック図

【図3】

図2の配線図形検証装置が適用されるコンピュータのハードウェア環境の説明図

【図4】

本発明による配線図形検証を含む半導体集積回路設計の工程説明図

【図5】

本発明の配線図形検証が適用される配線マスク図形の説明図

【図6】

図5に融合される配線レイヤにおける配線図形の説明図

【図7】

図 5 に融合されるビアマットレイヤにおけるビアマット図形の説明図

【図 8】

本発明による斜め配線検証処理の第 1 実施形態の説明図

【図 9】

図 8 のビアマットレイヤにおけるビアマット図形の説明図

【図 10】

図 8 の斜め配線レイヤにおける斜め配線図形と間隔検証の説明図

【図 11】

図 8 における融合前の斜め配線マスク図形の説明図

【図 12】

図 8 における融合された斜め配線マスク図形と間隔検証の説明図

【図 13】

本発明に使用するデザインルールチェック実行情報の凡例の説明図

【図 14】

本発明のデザインルールチェックの実行に使用されるレイヤ定義文と検証ルールの具体例の説明図

【図 15】

本発明によるデザインルールチェックの実行処理のフローチャート

【図 16】

本発明による斜め配線検証処理の第 2 実施形態の説明図

【図 17】

図 16 の配線レイヤにおける斜め配線図形と間隔検証の説明図

【図 18】

図 16 のビアマットレイヤにおけるビアセル図形の説明図

【図 19】

図 16 における融合された斜め配線マスク図形と間隔検証の説明図

【図 20】

図 16 における斜め配線マスク図形と間隔検証により張られたエラー領域の説明図

【図 2 1】

図 2 0 に対するエラーレイヤの説明図

【図 2 2】

従来のデザインルールチェックによる配線マスク図形の作成と間隔検証の説明図

【図 2 3】

従来のデザインルールチェックによる斜め配線マスク図形を作成する融合処理の説明図

【図 2 4】

従来の斜め配線マスク図形における間隔検証の説明図

【符号の説明】

- 1 0 : 配線図形検証装置
- 1 2 : 入力装置
- 1 4 : 出力装置
- 1 6 : 内部記憶装置
- 1 8 : レイアウトデータ入力部
- 2 0 : D R C ルール入力部
- 2 2 : 制御部
- 2 4 : D R C 実行部
- 2 6 : レイヤ定義部
- 2 8 : 第 1 図形融合部
- 3 0 : 斜め配線検証部
- 3 2 : 第 2 図形融合部
- 3 4 : 融合図形検証部
- 3 6 : レイアウトデータ記憶部
- 3 8 : D R C ルール記憶部
- 4 0 : 検証対象図形記憶部
- 4 2 : エラーパターンデータ記憶部
- 4 4 : エラーパターンデータ表示部

46, 146 : マスクレイヤ
48 : セル
50 : 斜め配線
52 : 検証対象部
54, 60, 122 : 配線レイヤ
56, 62, 124 : ビアマットレイヤ
58, 70, 72, 134, 136, 138 : ビアセル
64, 66, 68, 126, 128, 130, 132 : 斜め配線
74, 140 : 斜め配線検証処理
76, 142 : 第2図形融合処理
78 : マスクレイヤ
80, 82, 84, 148, 150, 152, 154 : 融合配線図形
80-1, 80-2, 82-1, 82-2 : 突出部
86, 144 : 融合図形検証処理
90, 92, 160, 162, 164 : ビア
94, 96, 166, 168, 170 : ビアマット
94-1, 96-1, 160-1, 162-1, 170-1 : 配線かぶり値
104, 106, 172, 176 : 間隔
108, 110, 178, 180, 184 : 突出部間隔
112 : デザインルールチェック実行情報記述凡例
114 : デザインルールチェック実行情報 (DCR実行情報)
112-1, 115 : レイヤ定義文
112-2, 116 : 融合処理
118 : 融合処理文
155, 156, 158 : エラー領域
186 : エラーレイヤ

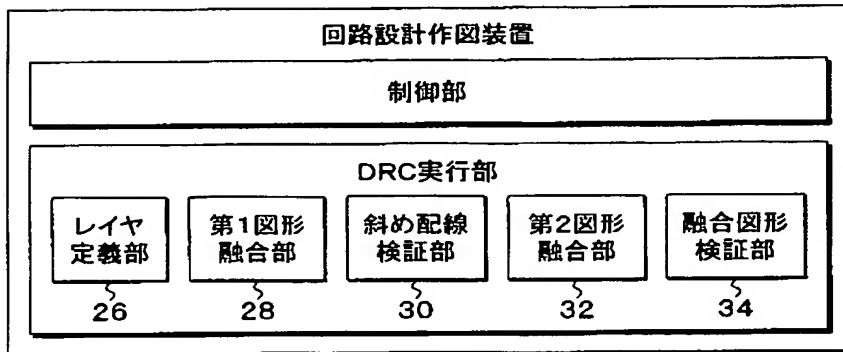
【書類名】

図面

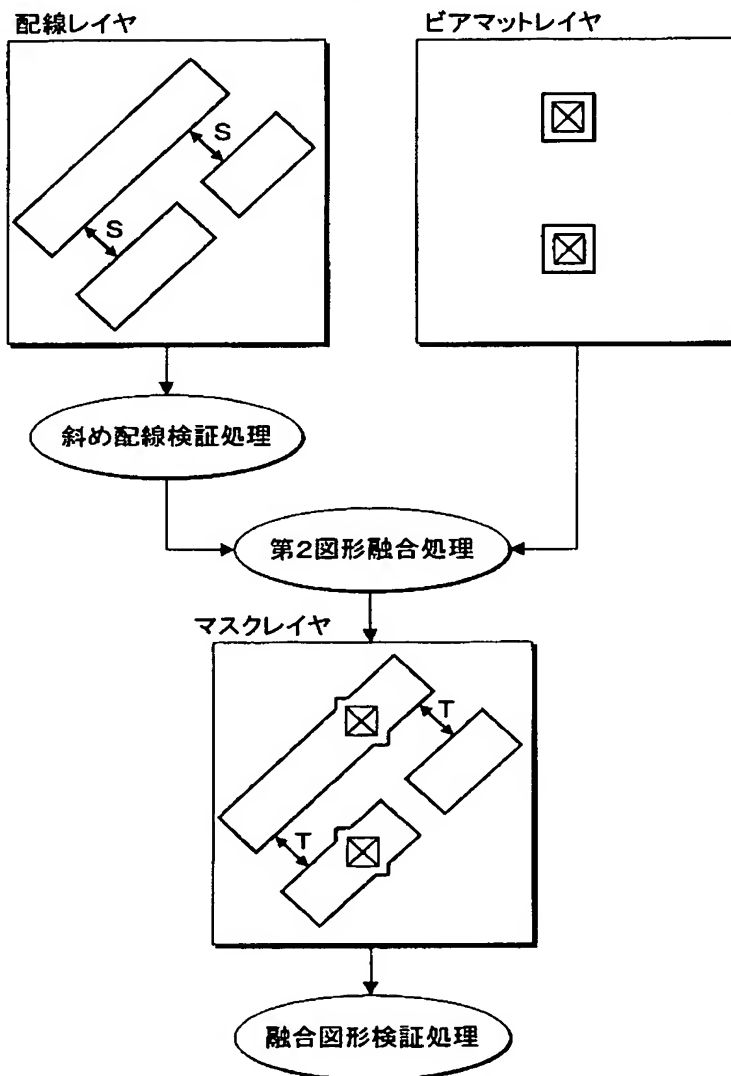
【図 1】

本発明の原理説明図

(A)

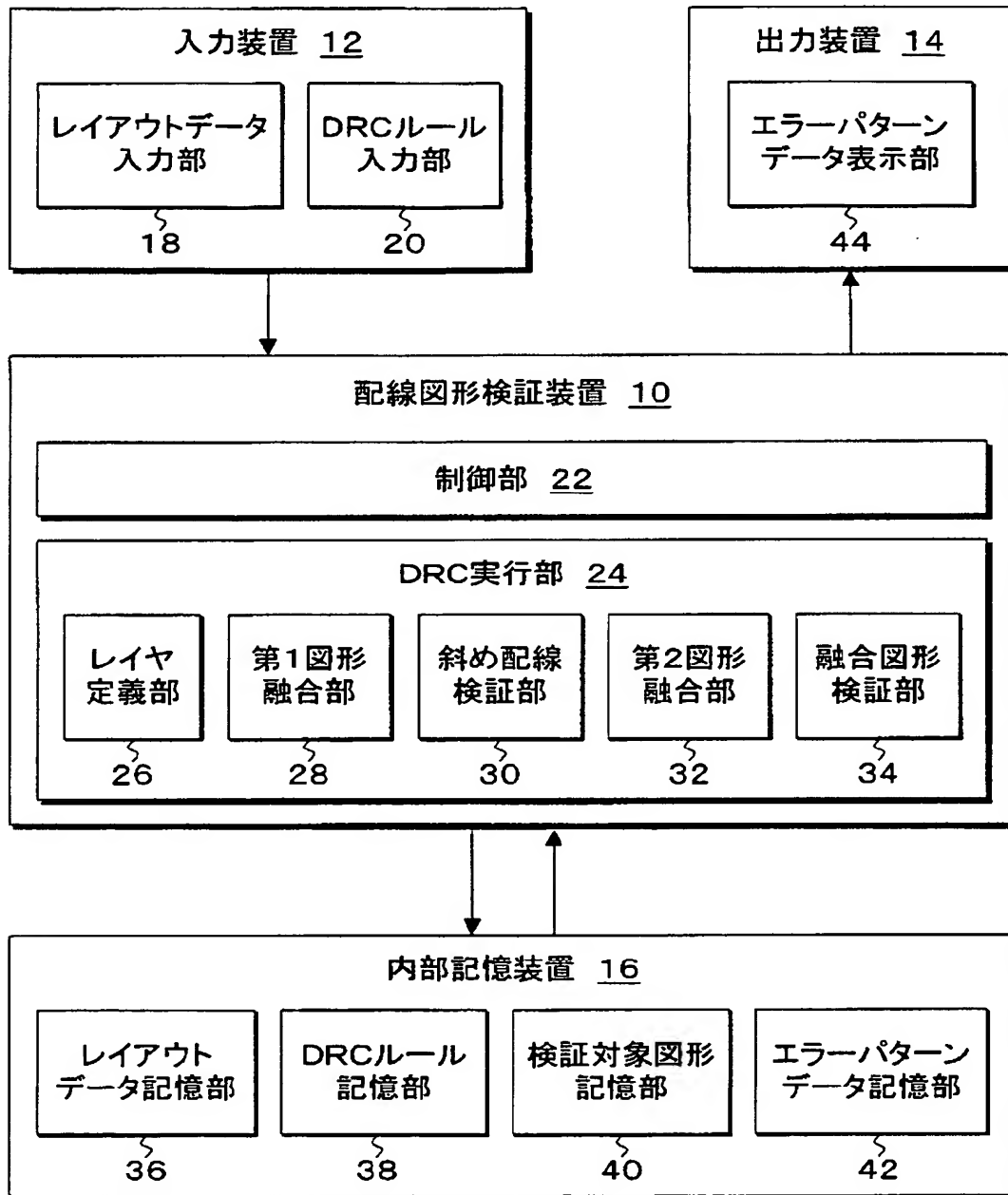


(B)



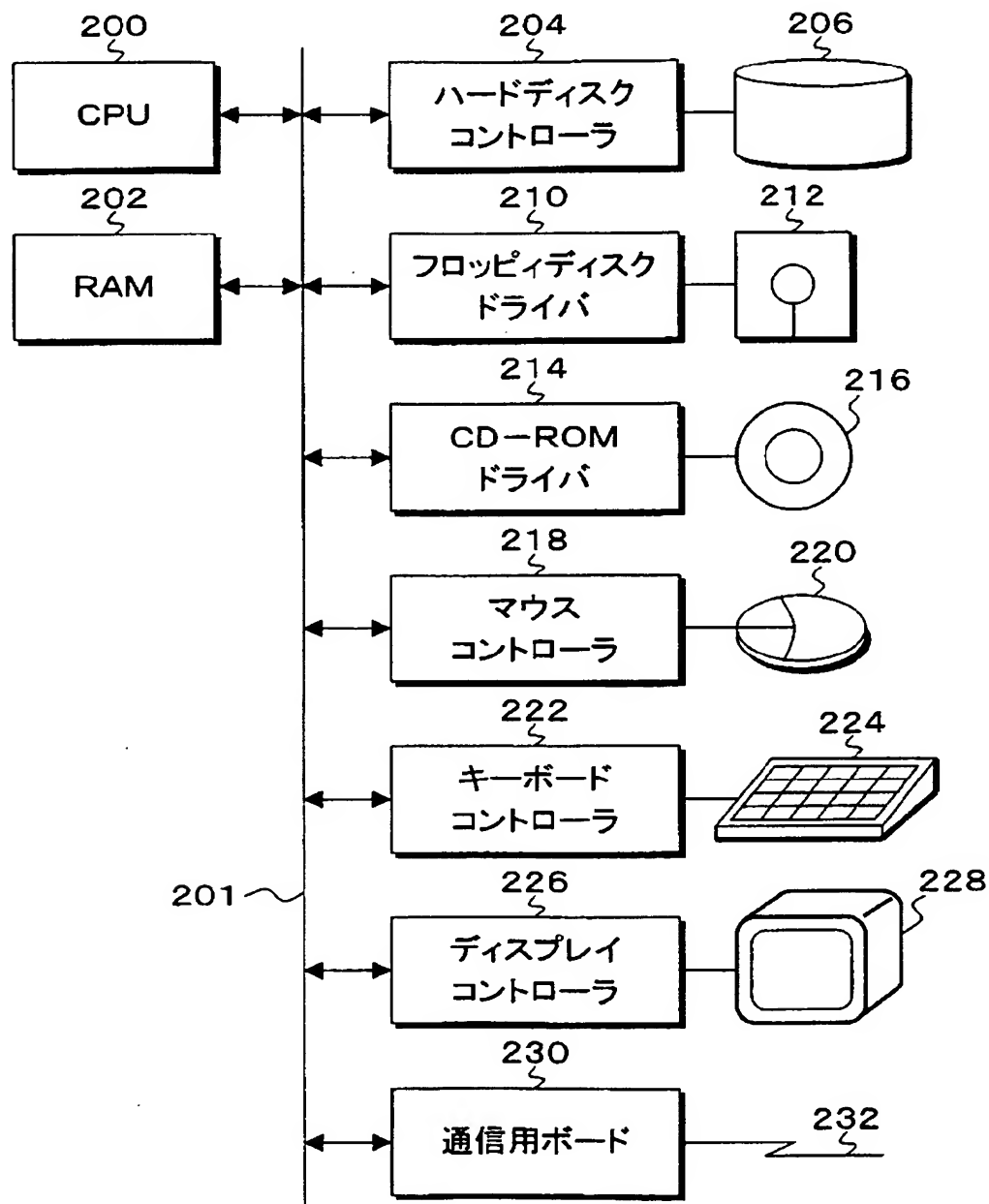
【図 2】

本発明の配線図形検証方法が実施されるシステム構成のブロック図



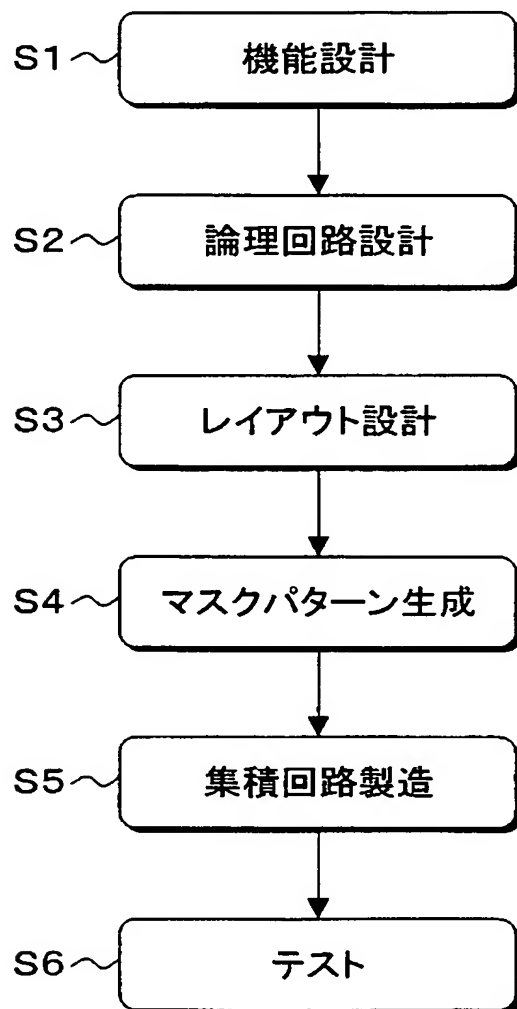
【図 3】

図2の配線図形検証装置が適用されるコンピュータのハードウェア環境の説明図

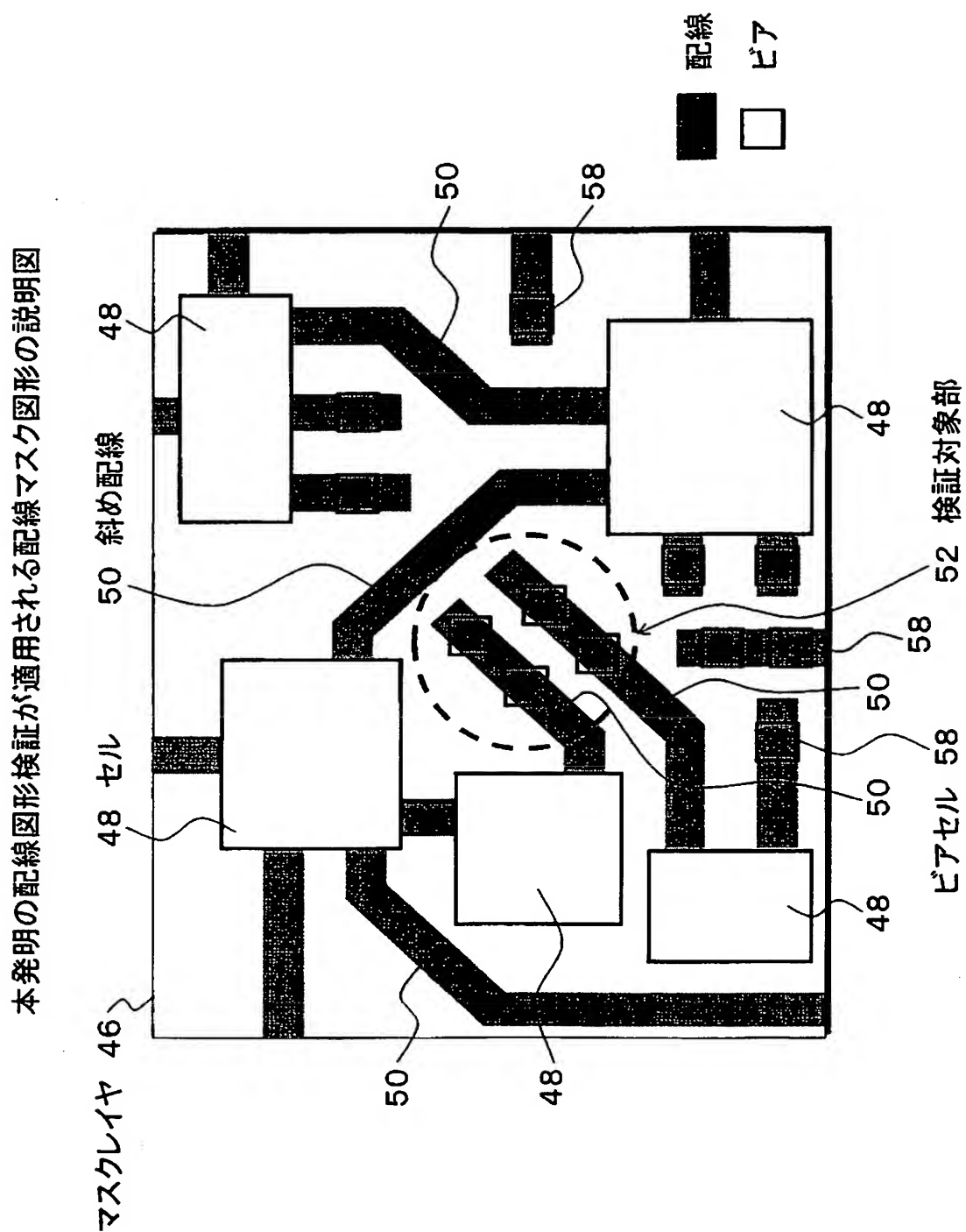


【図 4】

本発明による配線図形検証を含む半導体集積回路設計
の工程説明図

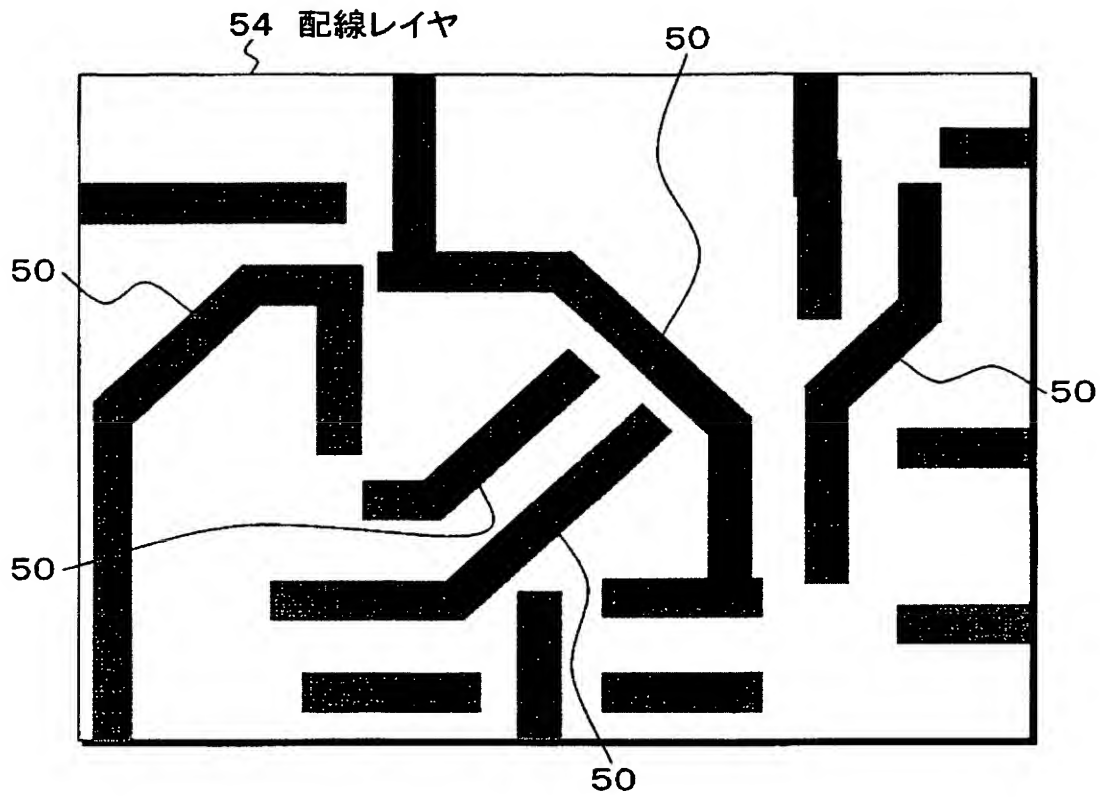


【図 5】



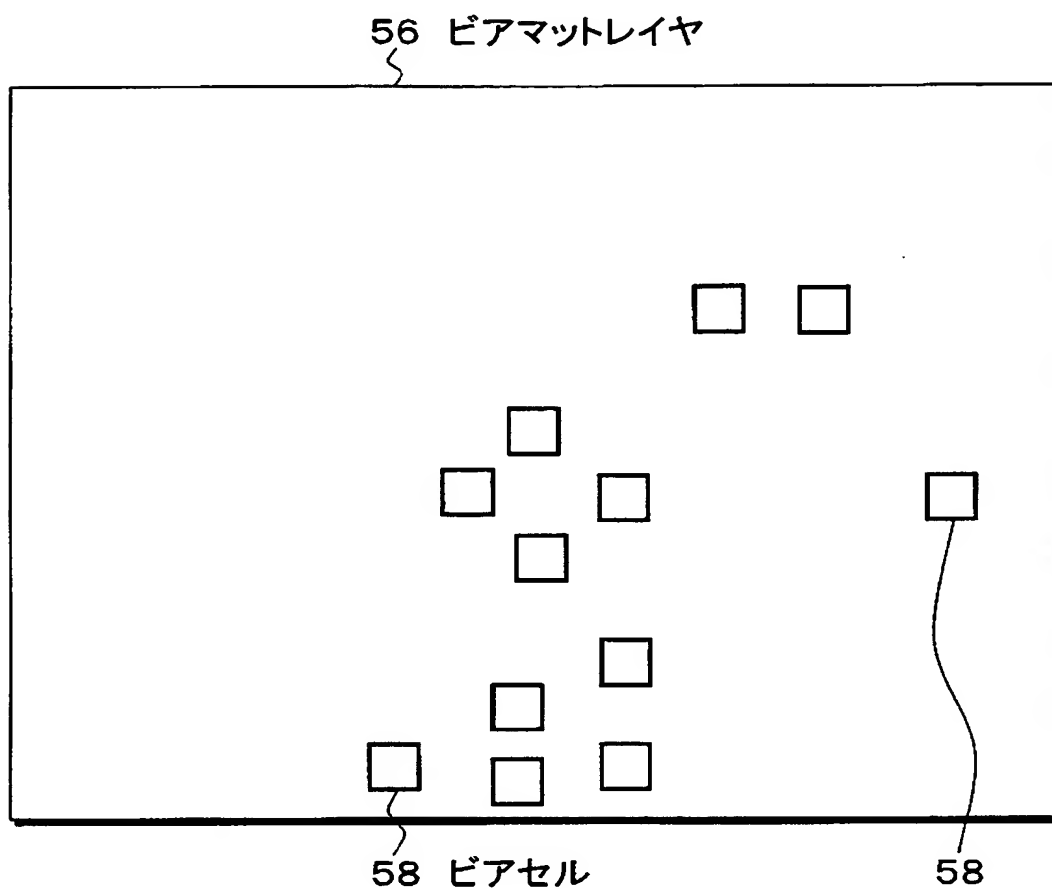
【図 6】

図5に融合される配線レイヤにおける配線図形の説明図



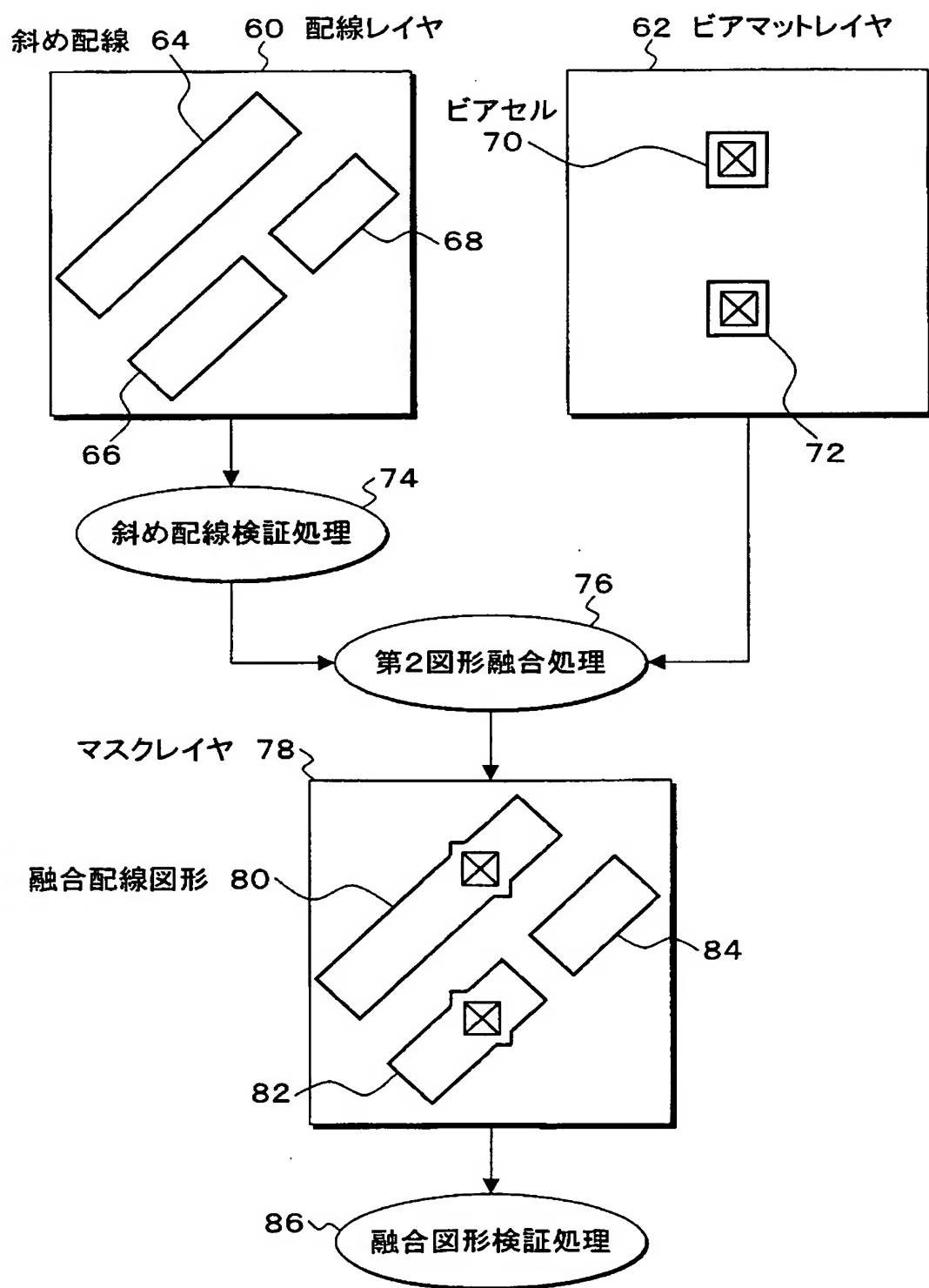
【図 7】

図5に融合されるビアマトレイヤにおけるビアマト図形の説明図



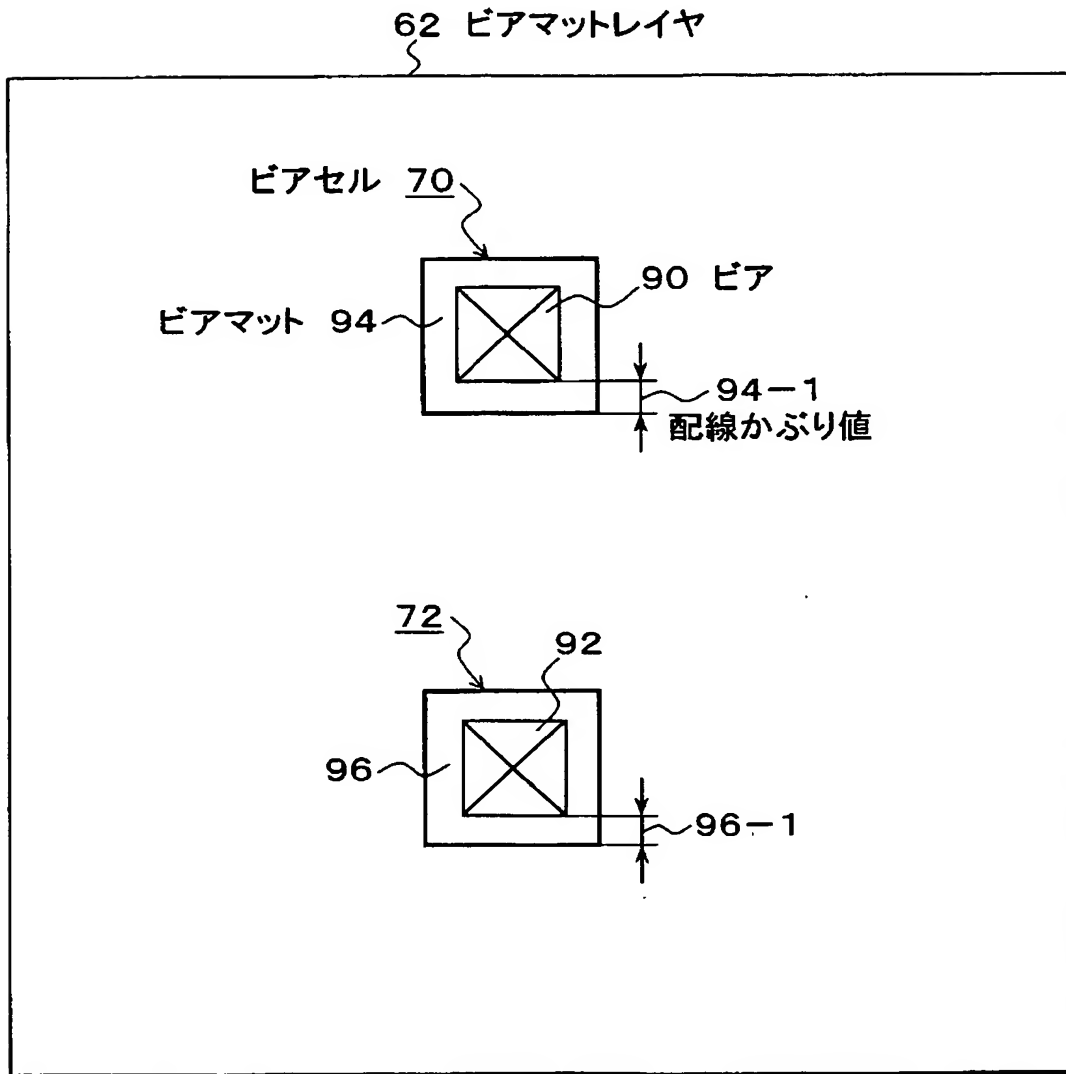
【図8】

本発明による斜め配線検証処理の第1実施形態の説明図



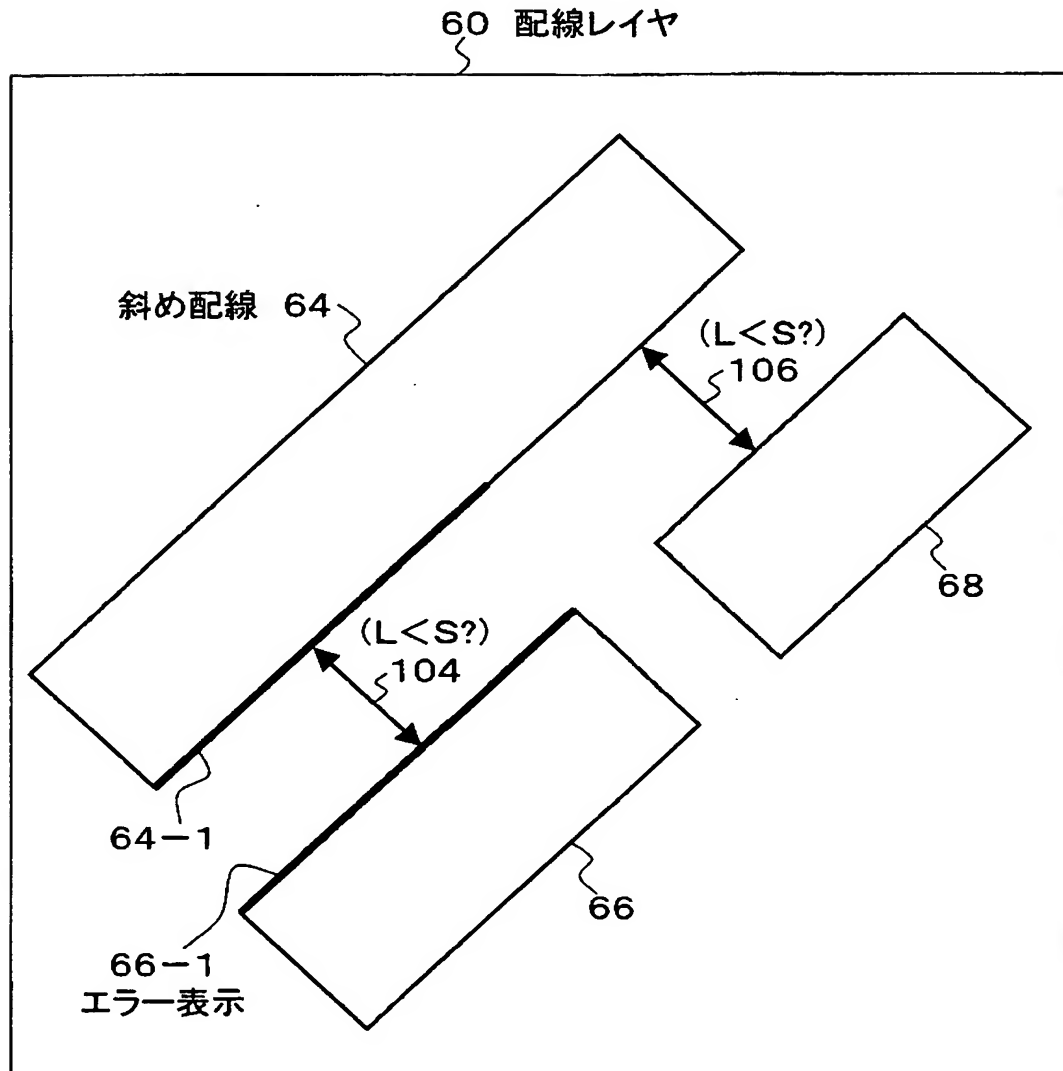
【図 9】

図8のビアマットレイヤにおけるビアマット図形の説明図



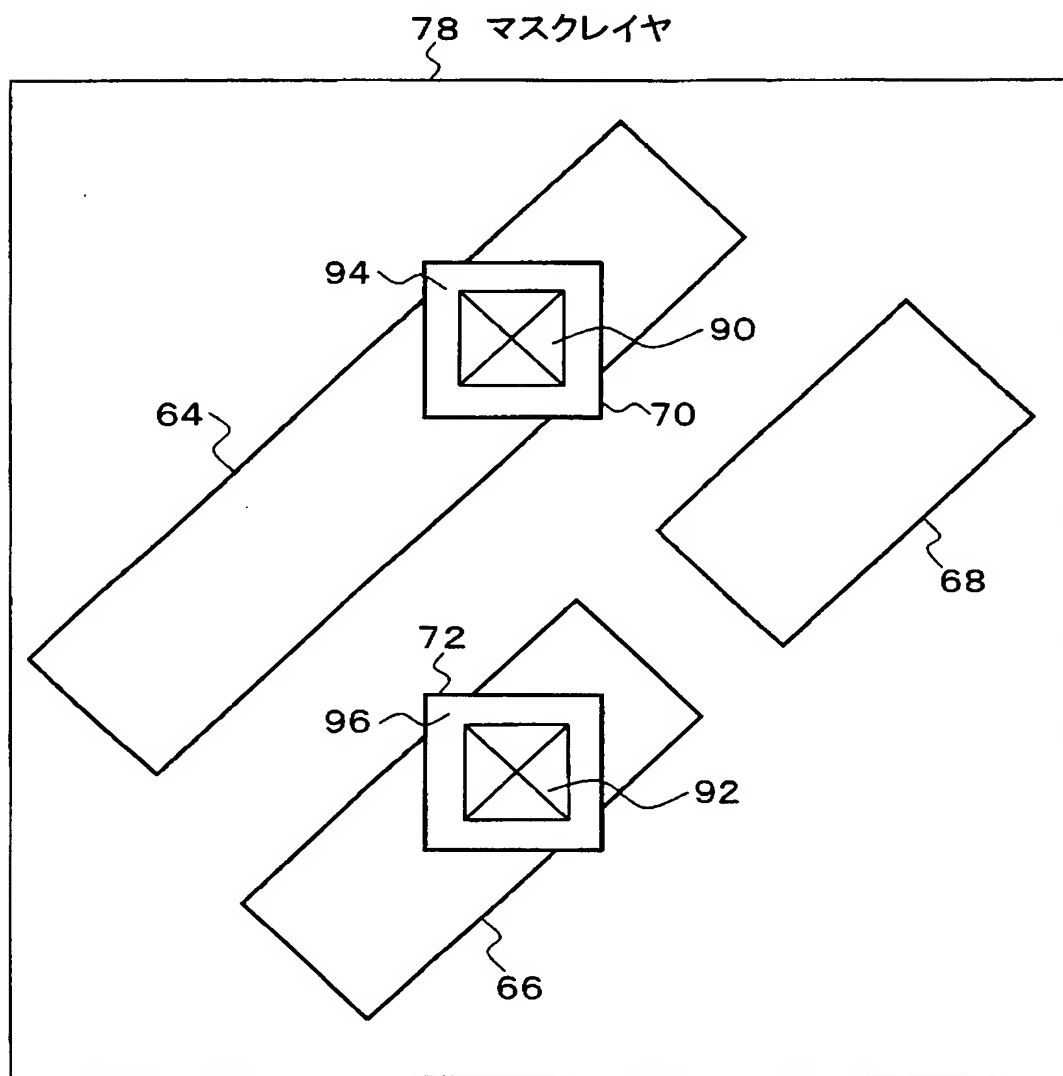
【図 10】

図8の斜め配線レイヤにおける斜め配線図形と間隔検証の説明図



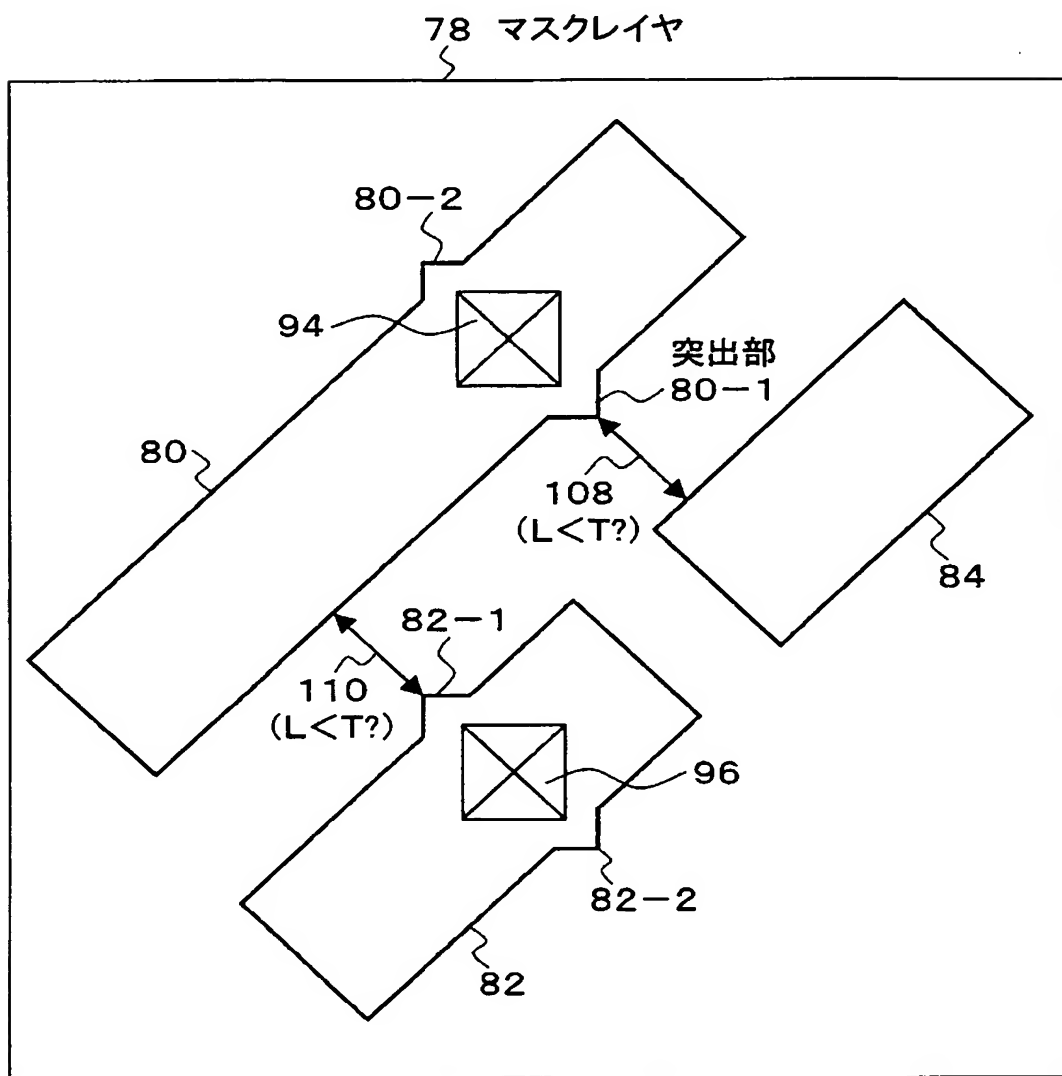
【図 11】

図8における融合前の斜め配線マスク図形の説明図



【図 12】

図8における融合された斜め配線マスク図形と間隔検証の説明図



【図 13】

本発明に使用するデザインルールチェック実行情報の凡例の説明図

112 デザインルールチェック実行情報

112-1	metal = Layer 77	:	レイヤ番号 77 番を、融合レイヤ(metal layer)として定義
112-2	Z = X OR Y	:	図形 X と図形 Y の融合処理後図形 Z の作成
112-3	SPACE X X < S	:	図形 X ~ 図形 X 間の許容最小間隔 S の検証
112-4	SPACE X Y < T	:	図形 X ~ 図形 Y 間の許容最小間隔 T の検証

【図 14】

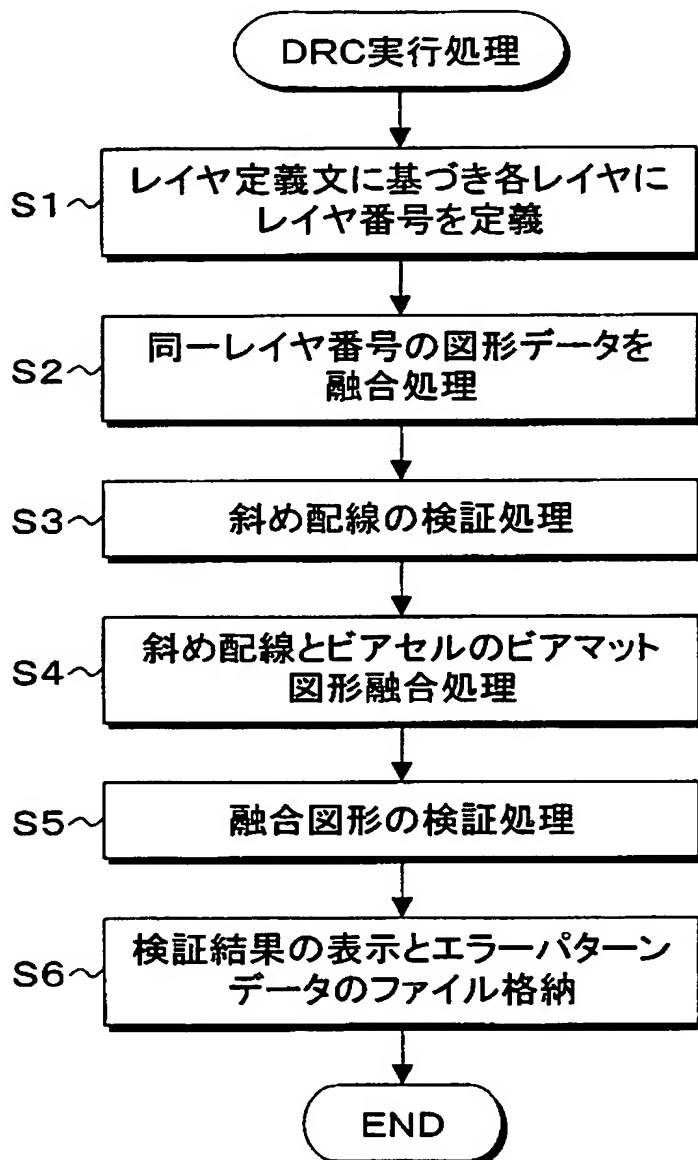
本発明のデザインルールチェックの実行に使用されるレイヤ定義文と
検証ルール具体例の説明図

114 デザインルールチェック実行情報

```
1 [DRC ルール].....
2 /**レイヤ定義文**/
3 poly = Layer 5
115 { 4 via_1 = Layer 10
5 metal_1 = Layer 11
6 via_mat = Layer 12
7 :
8 ***検証ルール***
116 { 9 /* (1)許容最小間隔 S の検証 */
10 SPACE metal_1 metal_1 < S
118 { 11 /* (2) metal_1 と via_mat の融合図形(naname)作成 */
12 naname = metal_1 OR via_mat
13 /* (3)許容最小間隔 T の検証 */
120 { 14 SPACE metal_1 naname < T
15 SPACE metal_1 via_mat < T
16 /* #T < S である。 */
```

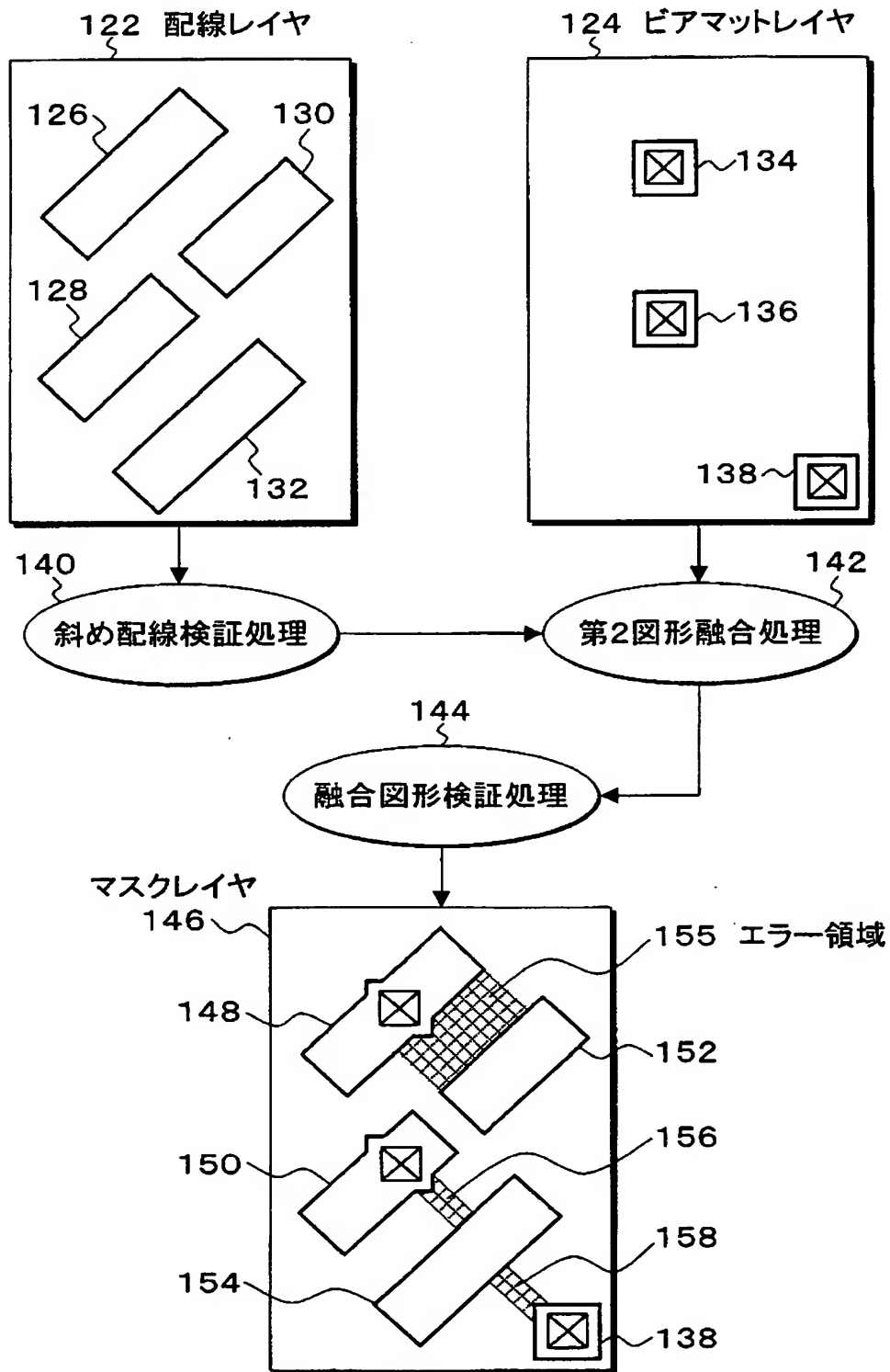
【図 15】

本発明によるデザインルールチェックの実行処理のフローチャート



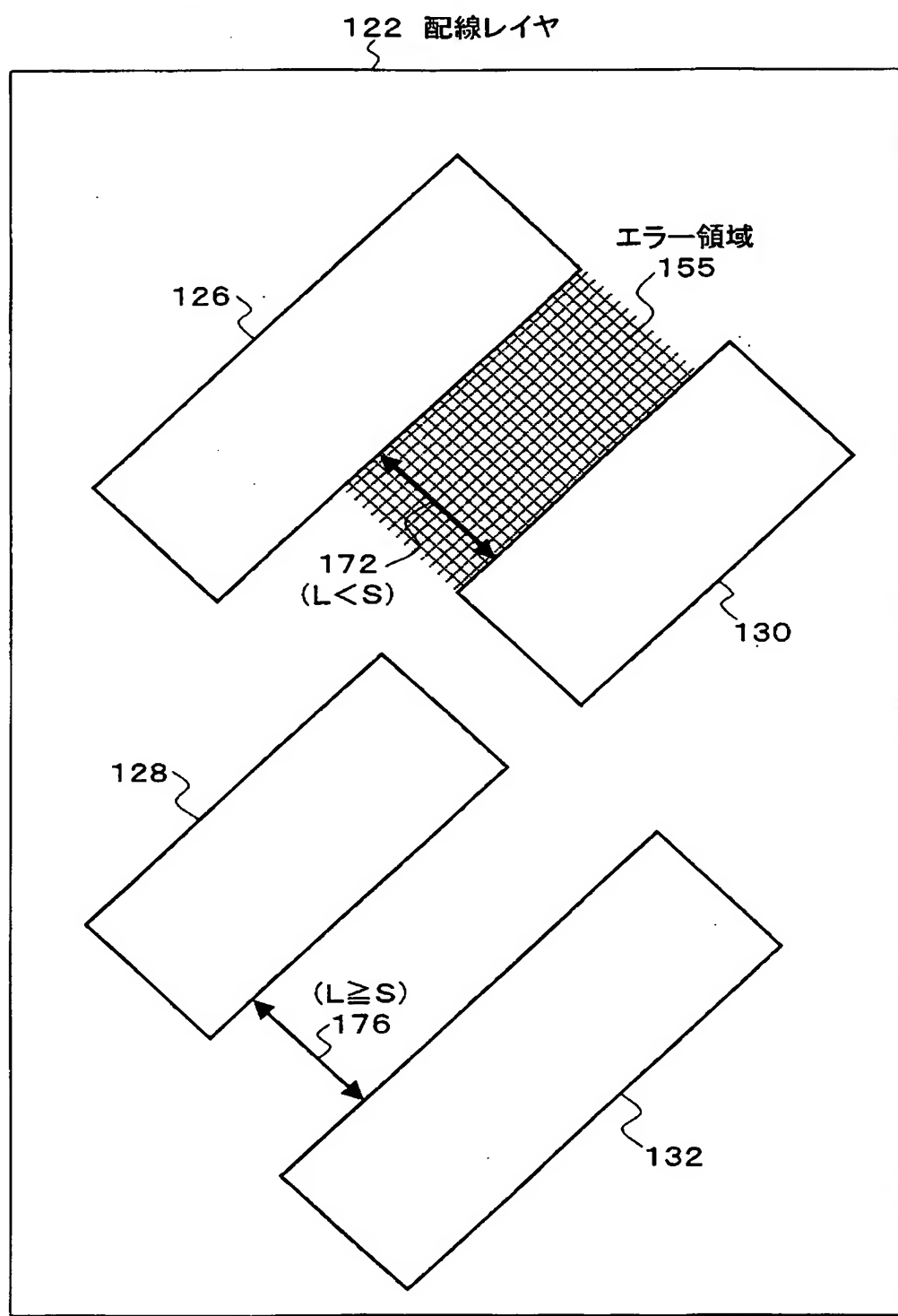
【図16】

本発明による斜め配線検証処理の第2実施形態の説明図



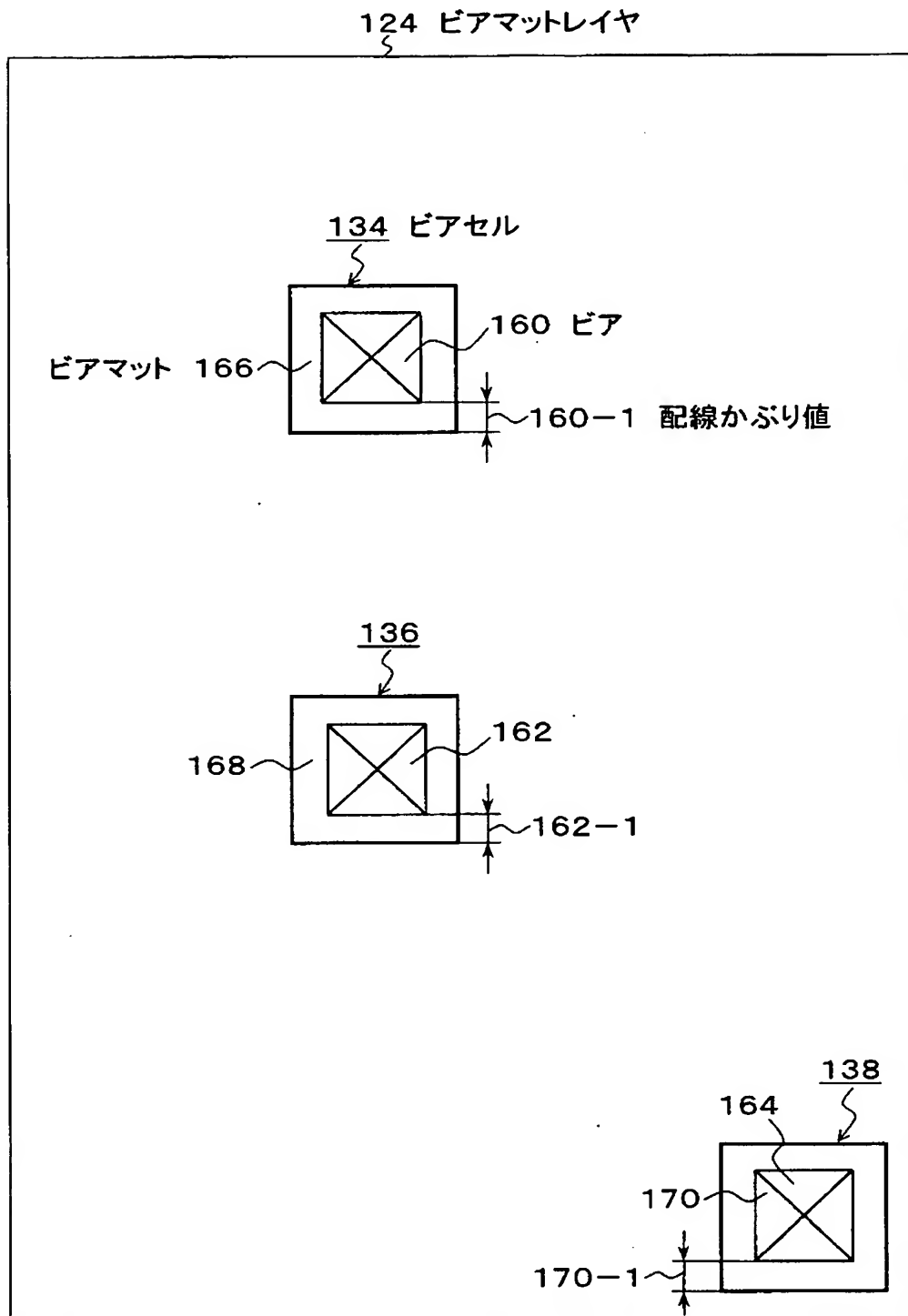
【図 17】

図16の配線レイヤにおける斜め配線図形と間隔検証の説明図



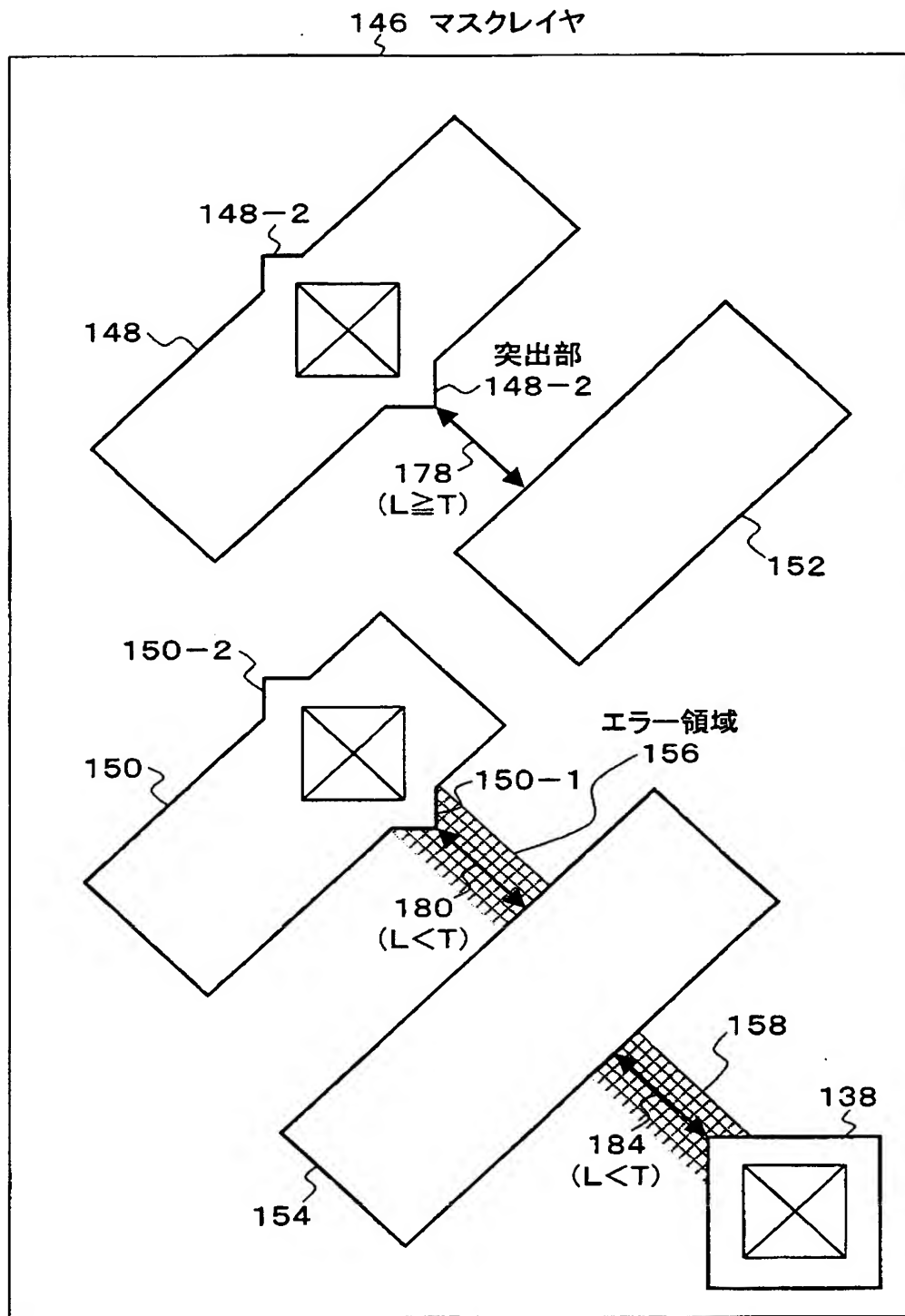
【図18】

図16のビアマットレイヤにおけるビアセル図形の説明図



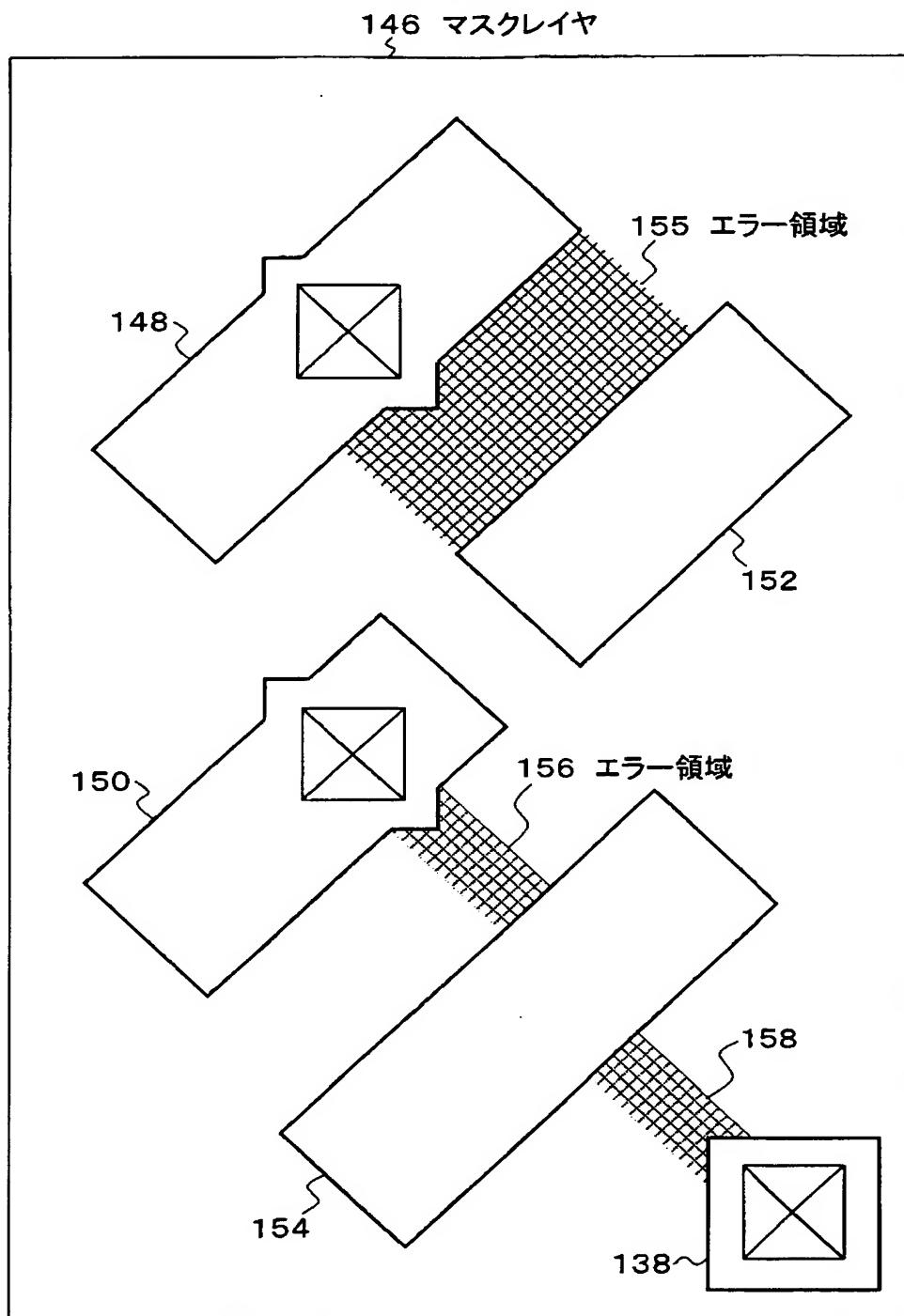
【図 19】

図16における融合された斜め配線マスク図形と間隔検証の説明図



【図 20】

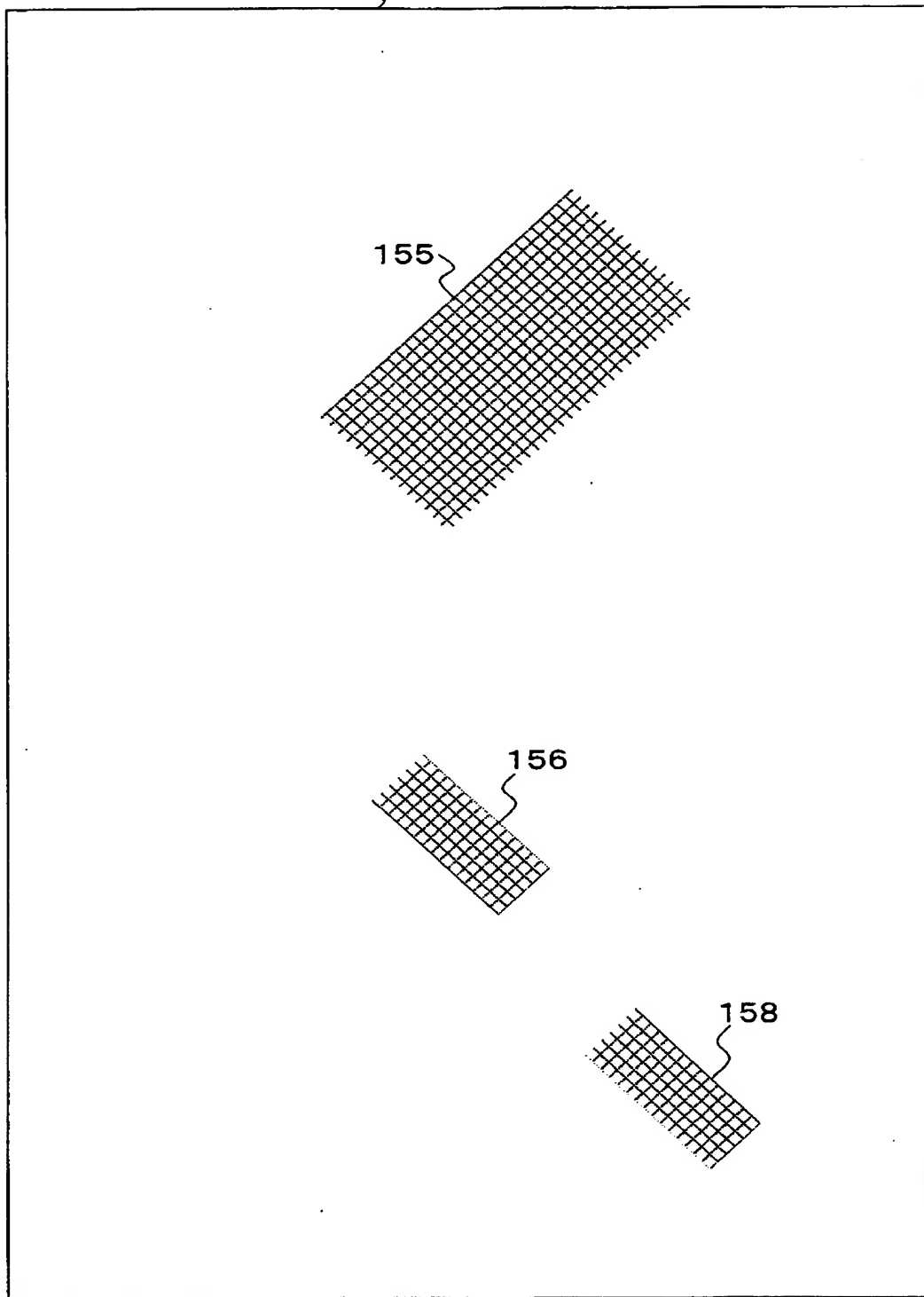
図16における斜め配線マスク図形と間隔検証により張られたエラー領域の説明図



【図 21】

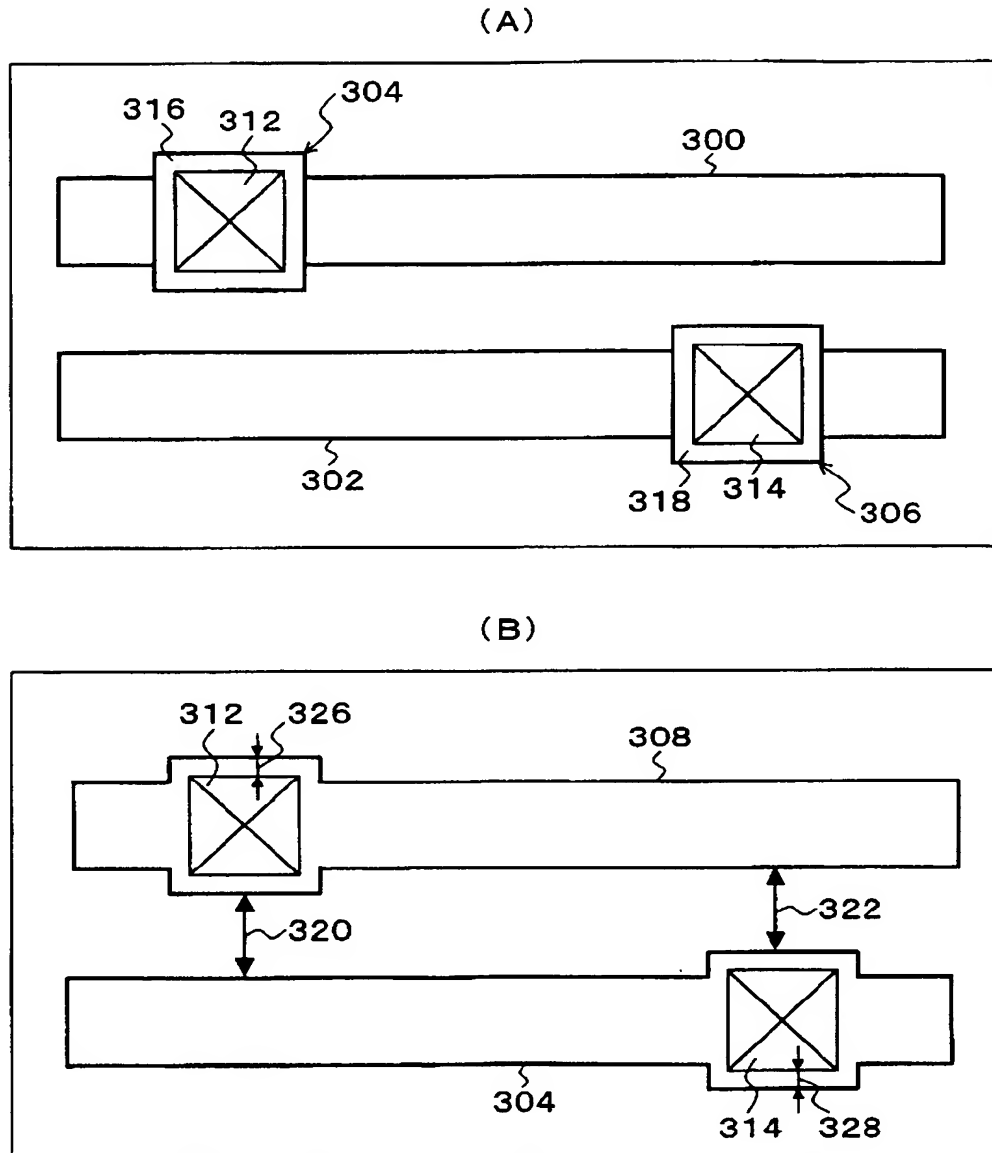
図20に対するエラーレイヤの説明図

186 エラーレイヤ



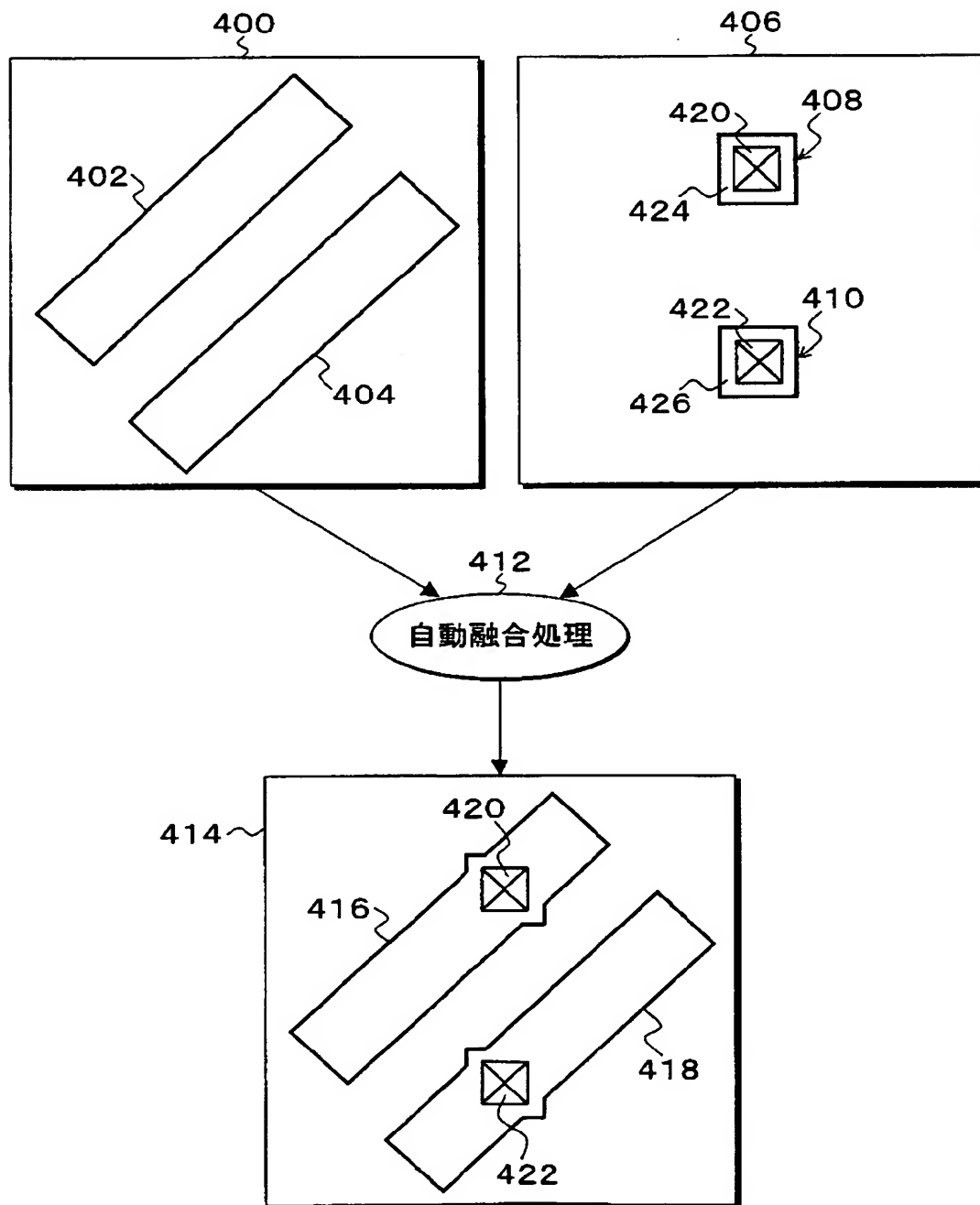
【図 22】

従来のデザインルールチェックによる配線マスク図形の作成と間隔検証の説明図



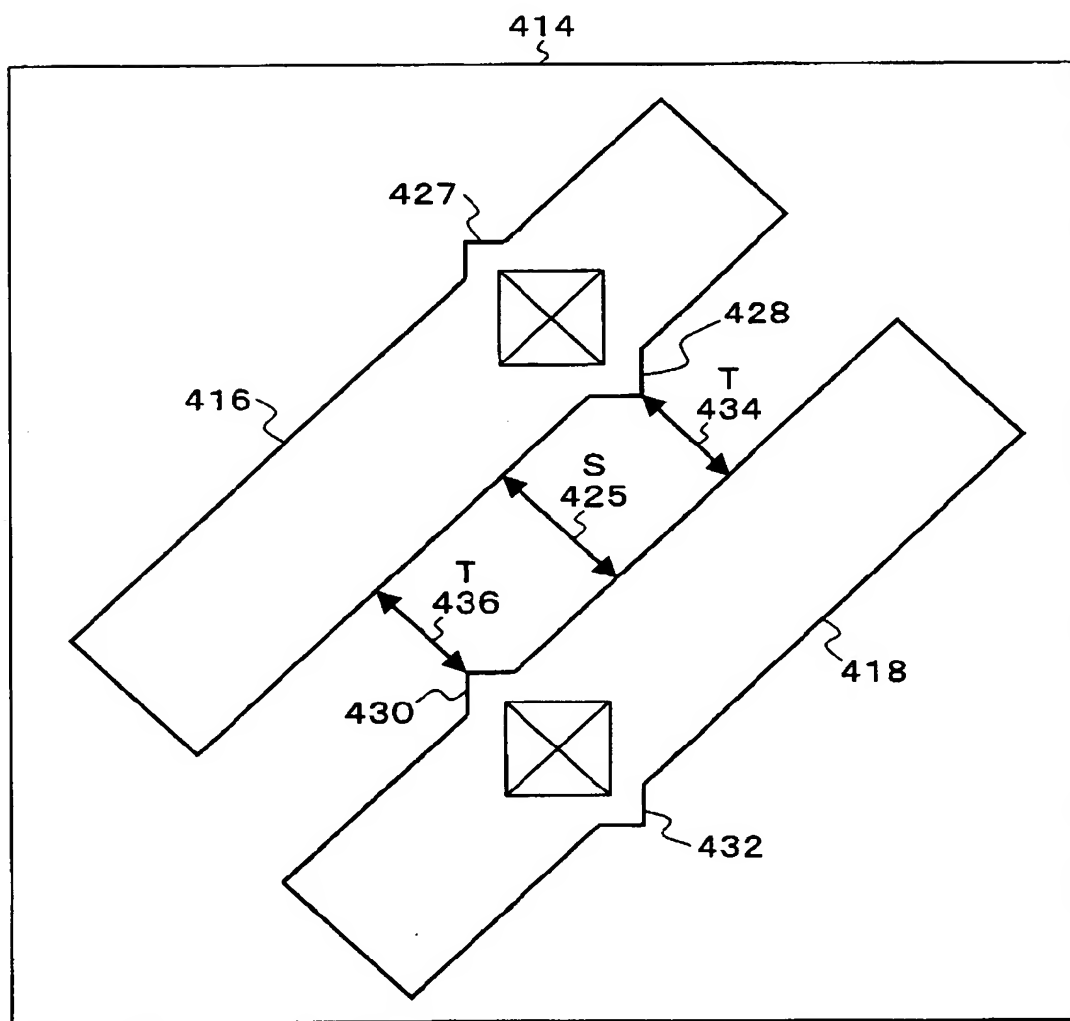
【図 23】

従来のデザインルールチェックによる斜め配線マスク図形を作成する
融合処理の説明図



【図 24】

従来の斜め配線マスク図形における間隔検証の説明図



【書類名】 要約書**【要約】**

【課題】 斜め配線図形のビアセル融合部分での突出により擬似エラーを発生することなく許容最小間隔値による検証を可能とする。

【解決手段】 レイヤ定義部 26 は、半導体集積回路設計のレイアウトデータに含まれる斜め配線図形とビアセル図形に対し各々異なったレイヤ番号を定義する。第 1 図形融合部 28 は、レイアウトデータから斜め配線図形及びビアセル図形を含む図形データを取込んで同一レイヤ番号毎に図形を合成して重なる部分で融合する。斜め配線検証部 30 は、第 1 図形融合部 28 で融合された斜め配線図形同士の間隔を許容最小間隔値 S により検証する。第 2 図形融合部 32 は、検証の済んだ斜め配線図形とビアセルのビಾಮット図形を合成して重なる部分で融合した斜め配線マスク図形を作成する。融合図形検証部 34 は、第 2 図形融合部 32 で融合された斜め配線マスク図形のビアセルによる突出部をもつ斜め線同士の間隔を許容最小間隔値 T (但し $T < S$) により検証する。

【選択図】 図 1

特願 2 0 0 3 - 0 0 3 9 0 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社